

II architecture Externe du microprocesseur 8085

Le microprocesseur Intel 8085 est apparu en 1976. Il est équipé d'un bus de données de 8 bits et un bus d'adresses de 16 lignes d'adresses. Il était compatible au niveau du code binaire avec le plus célèbre Intel 8080, mais demandait moins de matériel environnant, ce qui permit la création de micro-ordinateurs plus simples et moins chers à construire.

Le « 5 » dans le numéro du modèle provient du fait que les 8085 exigeaient seulement une alimentation de +5V plutôt que les +5V, -5V et +12V exigés par les 8080. Cependant, il était plus lent que le 8080. Sa vitesse était de 1.5 million d'instructions à la seconde avec une horloge à 6.144 MHz et 4 cycles par instruction.

Le 8085 était vendu dans un pack à 40 broches, ce qui lui permettait d'utiliser un bus d'adresses sur 16 bits et un bus de données sur 8 bits, donnant un accès facile à 64 KO de mémoire. Il a sept registres de 8 bits (dont six peuvent être combinés dans trois registres de 16 bits), un pointeur de pile sur 16 bits et un compteur de programme sur 16 bits. Le 8085 possède 256 ports d'entrées/sorties accessibles par des instructions dédiées.

II.1 Architecteur externe

Le microprocesseur 8085 se présente sous la forme d'un boîtier DIP (Dual In-line Package) à 40 broches. La figure II.1 montre le schéma de brochage du 8085. Tout les signaux peuvent être classés en six groupes : (1) Bus d'adresses, (2) Bus de données, (3) Bus de contrôle et signaux d'état, (4) Alimentation et générateur de fréquence, (5) Signaux d'interruptions (6) Ports d'E/S sériels.

II.1. 1 Bus d'adresses et bus de données

Le nombre de lignes d'adresses du 8085 est 16 lignes A15-A0 dont le poids faible est multiplexé temporellement avec le bus de données AD7-AD0. D'où la nécessité d'un démultiplexage pour obtenir séparément les bus d'adresses et de données :

- 8 bits de données (microprocesseur 8 bits) ;
- 16 bits d'adresses, d'où $2^{16} = 64$ Ko d'espace mémoire adressable par le 8085.

Le démultiplexage des signaux AD7 à AD0 se fait en mémorisant l'adresse lorsque celle-ci est présente sur le bus Adresses/Données, à l'aide d'un verrou (latch), ensemble de bascules D. La commande de mémorisation de l'adresse est générée par le microprocesseur : c'est le signal **ALE** (Address Latch Enable).

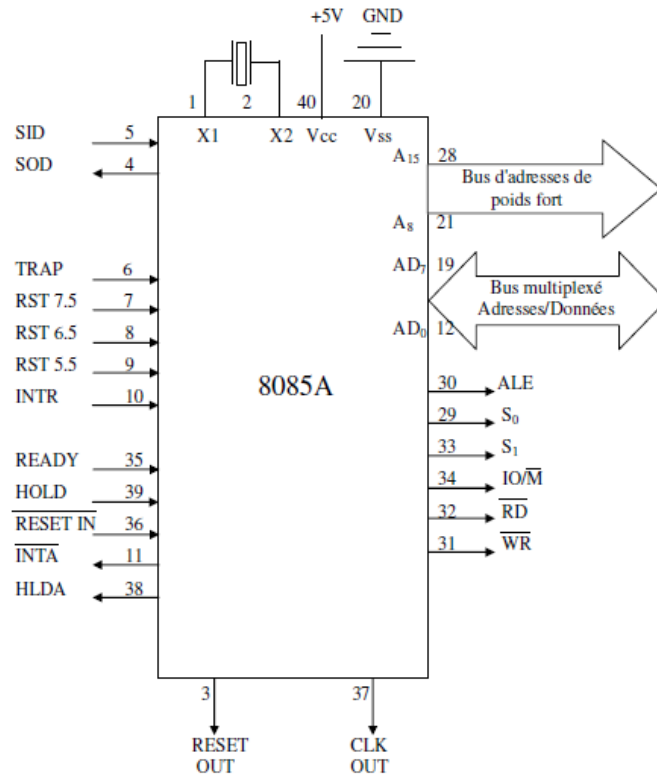


figure 1: Architecture externe du 8085

Le microprocesseur se compose essentiellement de l'unité de commande, de l'unité arithmétique et logique (UAL) et d'un ensemble de registres pour stocker les opérandes, les résultats intermédiaires ou les informations de commande.

II.1.2. Signaux de contrôle et d'état

- **ALE** : A l'état haut, implique que les bits présents sur le bus A/D sont les lignes d'adresses. Un circuit 74373 mémorise ces bits à sa sortie.
- **RD** : Read, signal de lecture d'une donnée, actif niveau bas.
- **WR** : Write, signal d'écriture d'une donnée, actif niveau bas.
- **IO/M** : Input-Output / Memory, indique si le 8085 adresse la mémoire ($IO/M = 0$) ou les entrées/sorties ($IO/M = 1$).
- **S1 et S0** : Signaux d'état indiquant le type d'opération en cours sur le bus. Rarement utilisés dans les petits systèmes.

II.1.3. Alimentation et générateur de fréquence

- **Vcc** : Alimentation +5V
- **GND** : Masse de référence

- **X1 et X2** : Un Quartz est relié aux deux broches pour générer un signal carré périodique. Pour générer une fréquence de 3MHz, le quartz doit avoir une fréquence de 6MHz.
- **CLK (OUT)** : Cette broche peut être utilisée comme signal d'horloge pour d'autres circuits.

II.1.4. Signaux d'interruptions

Le 8085 possède cinq signaux d'interruptions.

- **INTR** (Interrupt Request) : C'est le signal envoyé par une interface indiquant une demande d'interruption. **INTA** : Le 8085 répond à INTR en envoyant 0 sur la ligne INTA (Interrupt Acknowledge).
- **RST7.5 RST6.5 et RST5.5** : Interruptions de redémarrage. Ce sont des interruptions vectorisés qui transfèrent le contrôle à une position mémoire spécifique. Ces lignes sont prioritaire que INTR. Les priorités sont classées selon l'ordre décroissant de 7.5, 6.5 à 5.5.
- **TRAP** : (Non Maskable Interrupt) : interruption prioritaire par rapport à INTR.
- **HOLD et HLDA** : signaux de demande d'accord d'accès direct à la mémoire (DMA).
- **READY** : entrée de synchronisation avec la mémoire.
- **RESET IN**: Quand ce signal est à 0, le compteur de programme est remis à 0, les bus sont en haute impédance et le microprocesseur redémarre.
- **RESET OUT** : Ce signal indique que le microprocesseur vient d'être redémarrer, ce signal peut être utilisé par d'autres circuits.

II.1.5. Ports d'E/S sériels

Le 8085 possède deux signaux pour l'implémentation de la transmission série : SID (Serial Input Data) et SOD (Serial Output Data). Dans la transmission série, les bits de données sont transmises sur une seule ligne l'un après l'autre comme dans le cas de la ligne téléphonique.

II.1.6 Démultiplexage des bus AD₇-AD₀

La figure IV.2 montre l'utilité des latches pour le démultiplexage de bus. Le bus AD₇-AD₀ est connecté aux entrées des latches 74LS373. ALE est connectée à la broche de validation (G) des latches. Quand ALE est à l'état haut, les latches sont transparents; ça veut dire que les sorties des latches changent en fonction des entrées. Quand le microprocesseur envoi un 0 sur ALE, l'adresse est mémorisée jusqu'au prochain ALE et la sortie des latches représente le bus d'adresses de poids faible A₇-A₀. Le schéma de la figure V.2 indique une lecture mémoire de la valeur 4FH à partir de l'adresse 2005H.

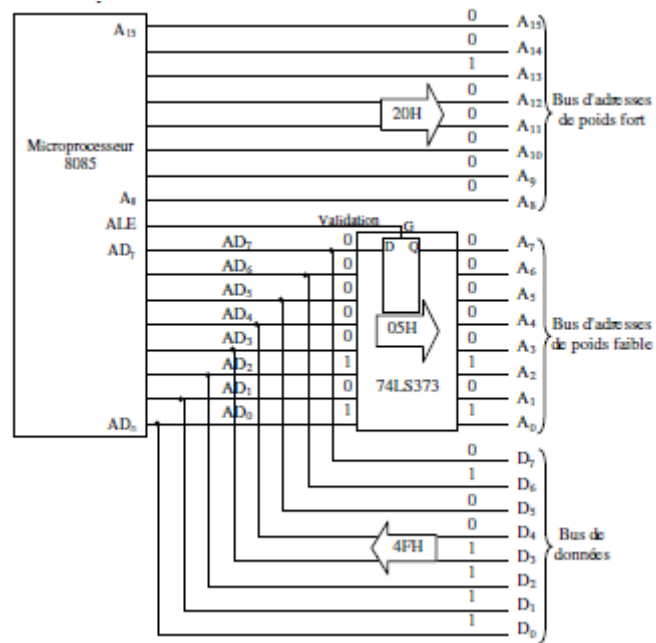


Figure II.2 : Démultiplexage des bus d'adresses et de données AD7-AD0 ux ports d'E/S.