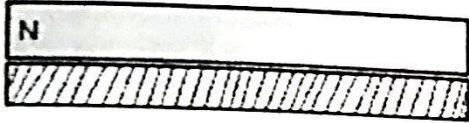


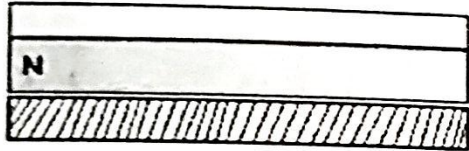
تكنولوجيا صناعة ترانزستور ثنائي القطب:



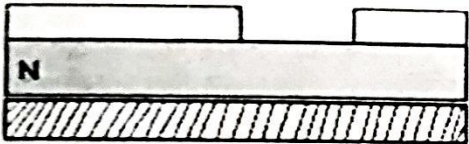
① Préparation du substrat



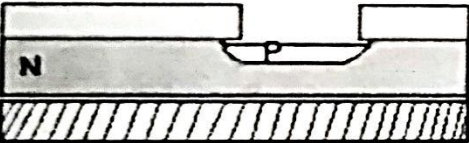
② Epitaxie



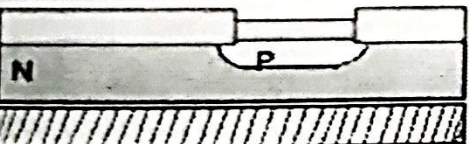
③ Oxydation thermique



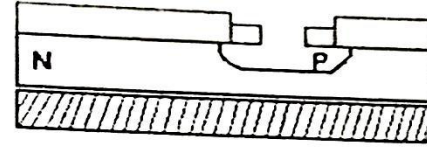
④ Photogravure - ouverture de fenêtres dans la couche d'oxyd pour la base (1er masque)



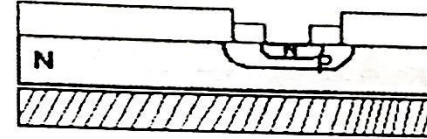
⑤ Diffusion de base



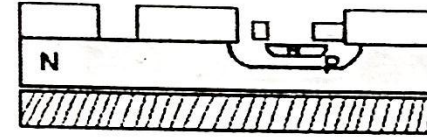
⑥ Oxydation thermique



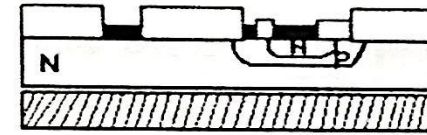
⑦ Photogravure - ouverture de la fenêtre d'émetteur (2eme masque)



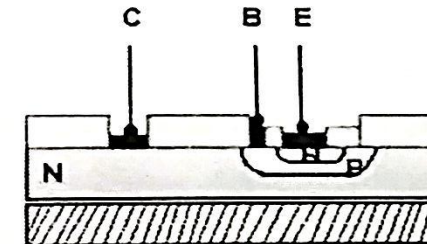
⑧ Diffusion de l'émetteur



⑨ Photogravure - ouverture des fenêtres pour les contacts de sortie (3eme masque)



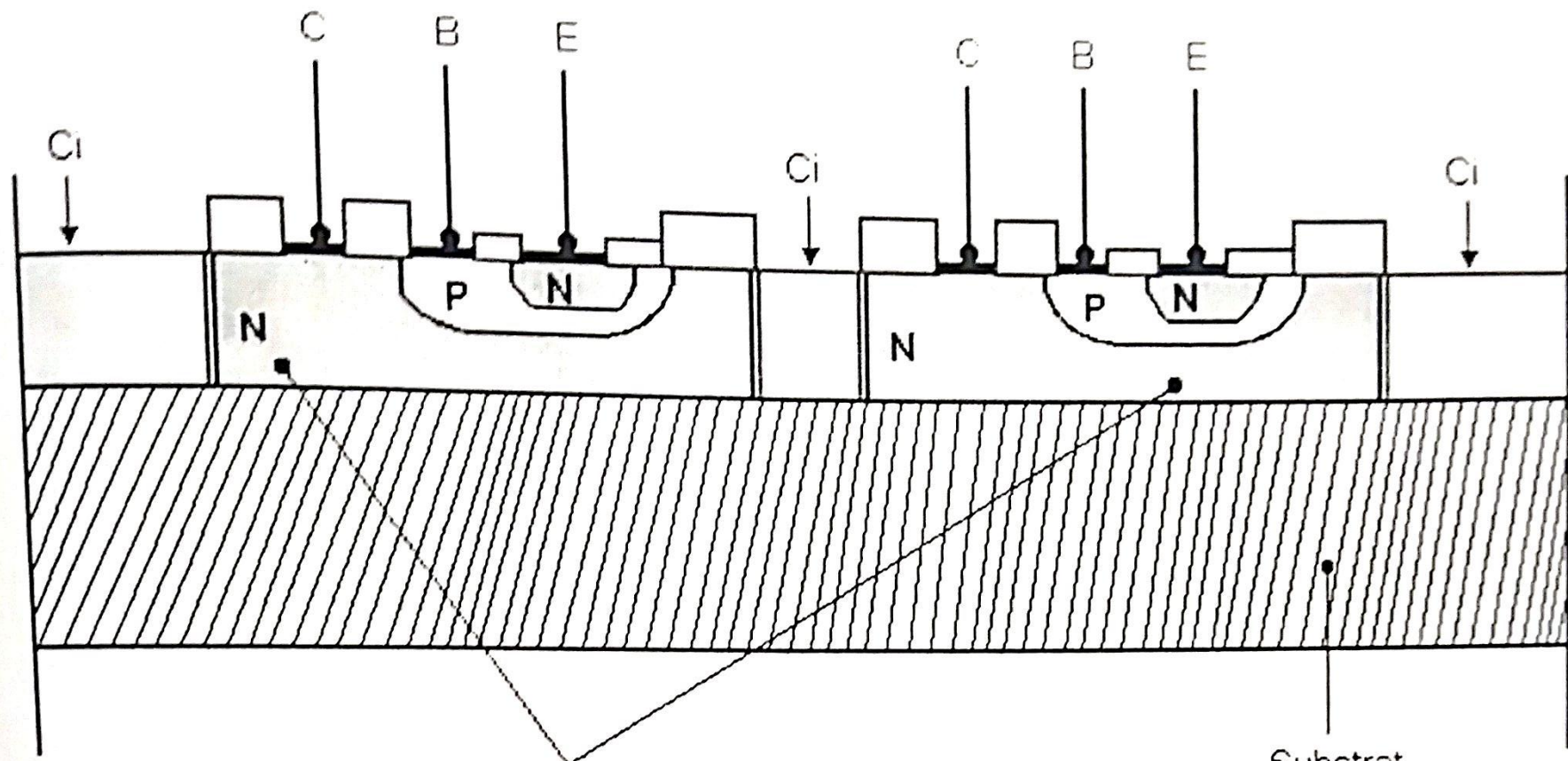
⑩ Dépôt métallique pour la réalisation des sorties



⑪ Mise en place des sorties, découpe des circuits et fixation sur embase

Fig 16 - Technique des caissons isolés

Fig 16 - Technique des caissons isolés



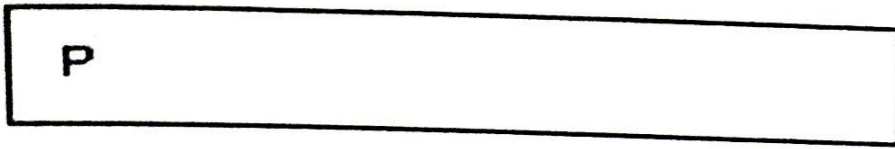
Ci : Cloison d'isolement
 C : Collecteur
 B : Base
 E : Emetteur

Caissons isolés

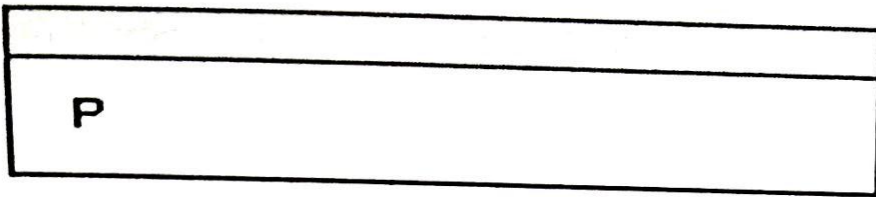
Substrat

Fig. 17. - Technique des caissons isolés (isoplanar).
 Réalisation de deux transistors (N.P.N.) sur substrat (technique planar).

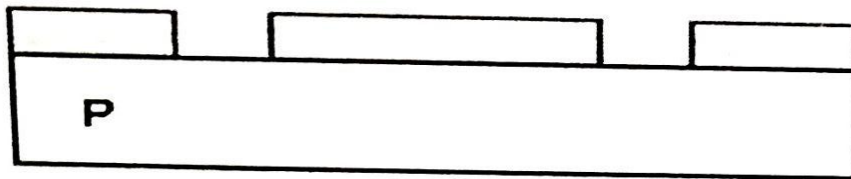
تكنولوجيا صناعة ترانزستور تأثير الحقل:



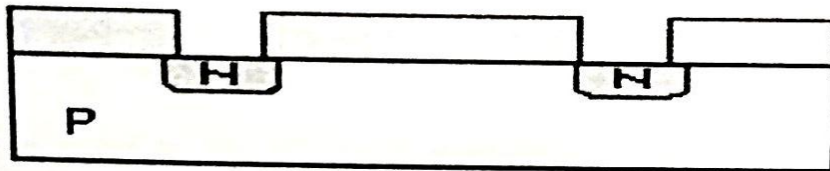
① Préparation du substrat



② Oxydation thermique

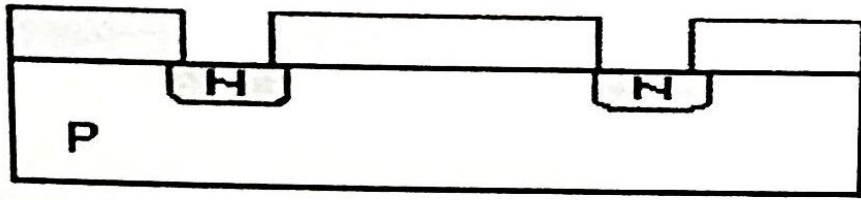


③ Photogravure - ouverture dans la couche d'oxyde des fenêtres pour le drain et la source (1er masque)

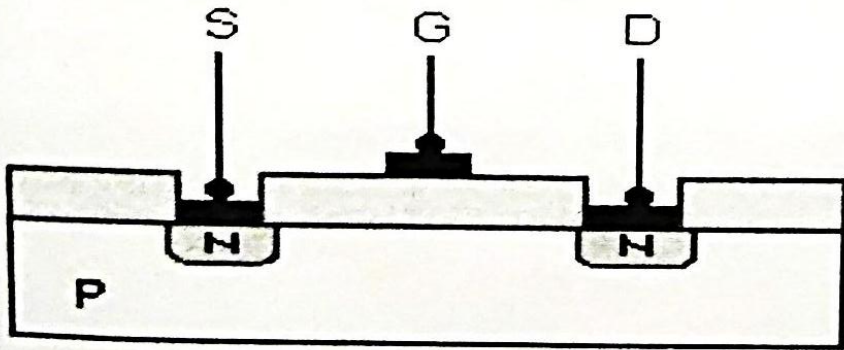


④ Diffusion du drain et de la source

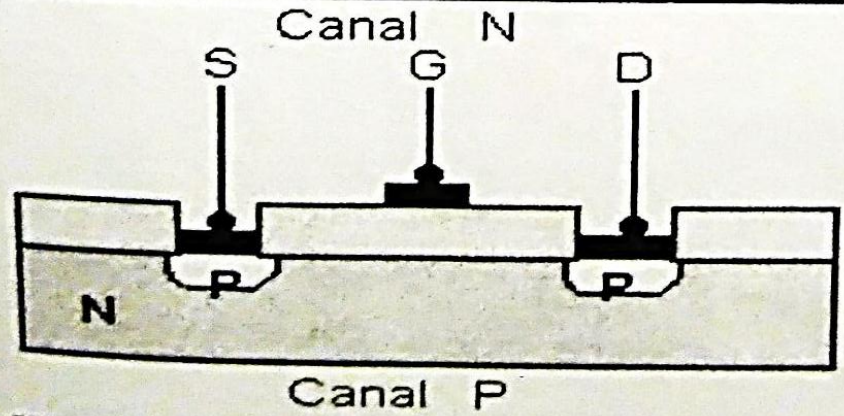
تكنولوجيا صناعة ترانزستور تأثير الحقل:



④ Diffusion du drain et de la source



⑤ Dépôt métallique sur drain, source et grille (2ème masque).
- Réalisation des connexions de sortie



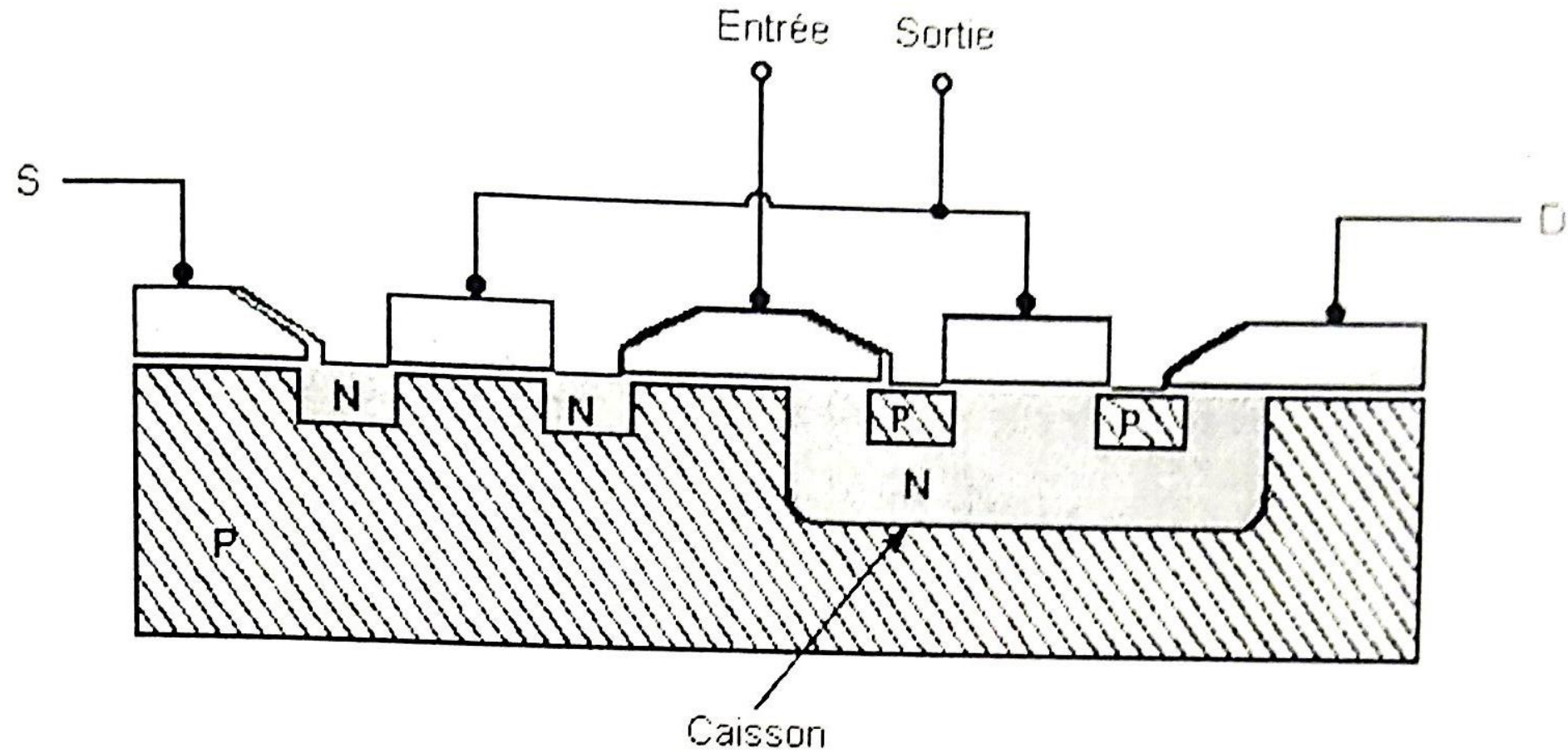
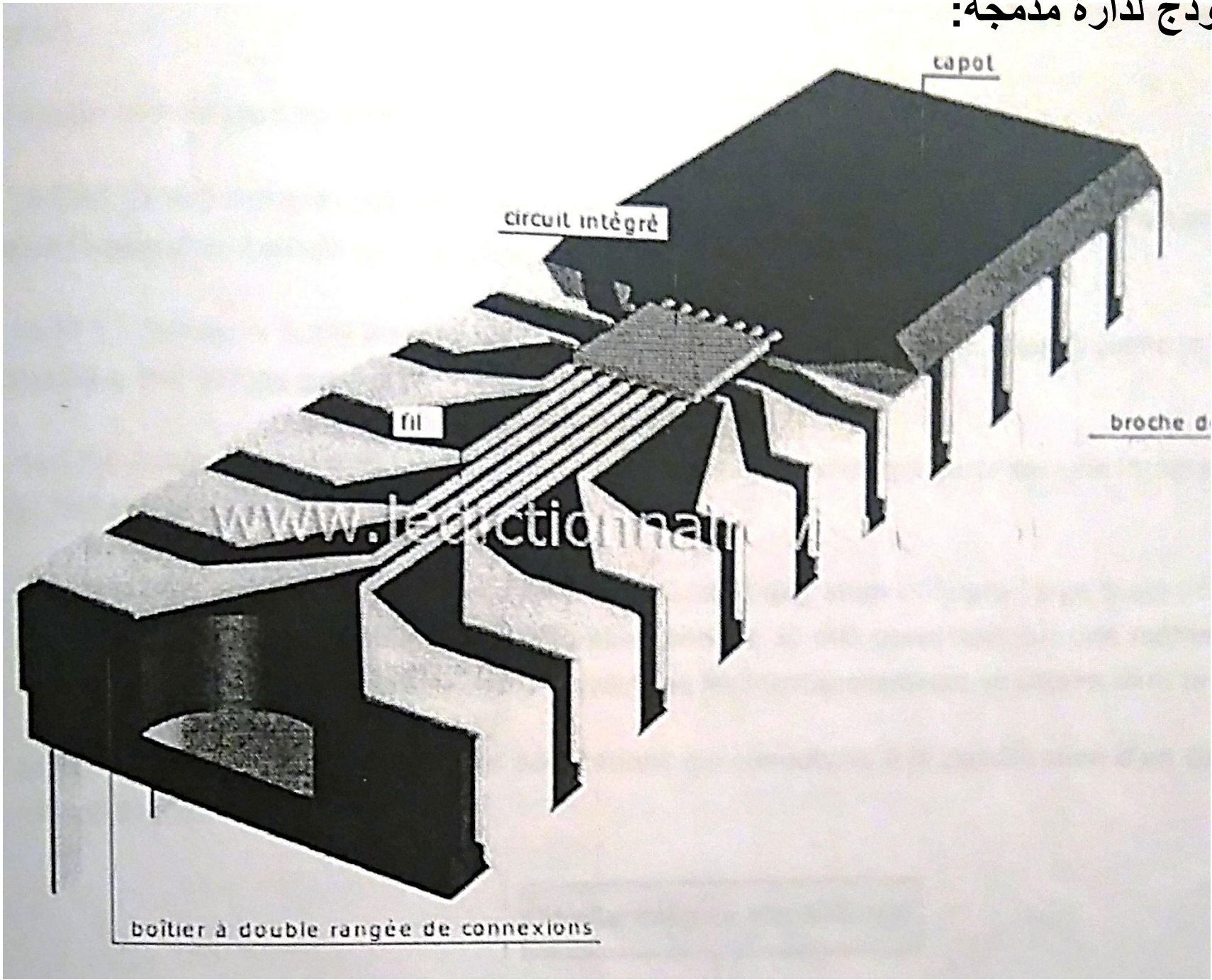
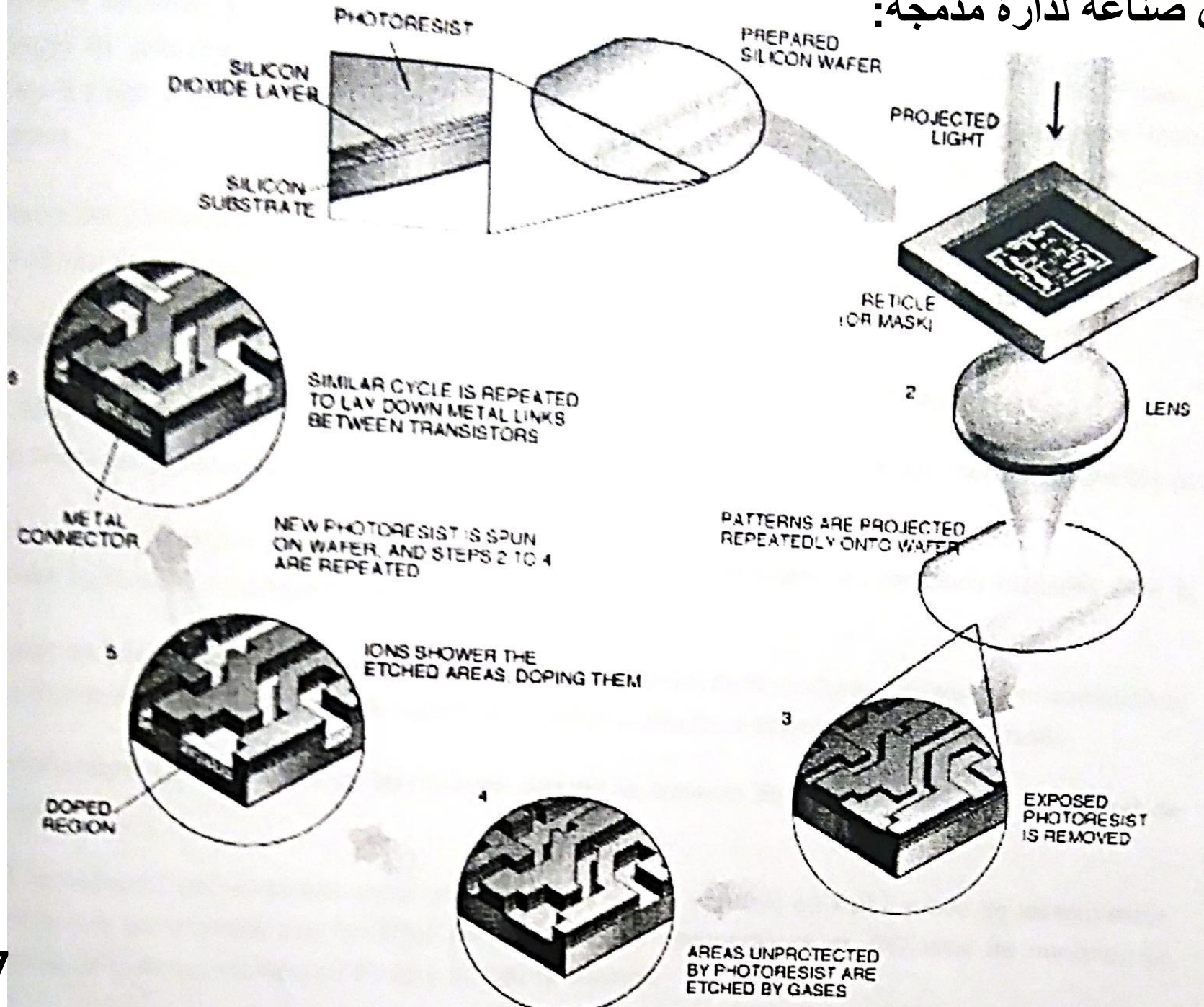


Fig. 19. - Intégration de l'inverseur à MOS complémentaires de la figure 7-a

نموذج لدارة مدمجة:



مراحل صناعة لدارة مدمجة:



مراحل صناعة لدارة مدمجة:

