

MINISTÈRE DE L'ENSEIGNEMENT SUPÉRIEUR
ET DE LA RECHERCHE SCIENTIFIQUE

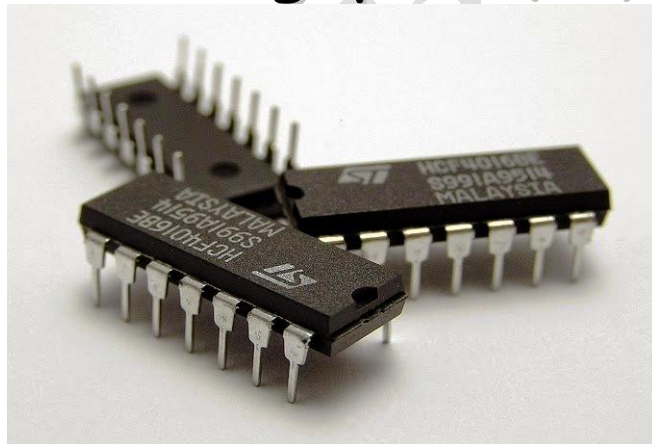


Institut Supérieur des Etudes
Technologiques de Nabeul



Département de Génie Electrique

Travaux dirigés de :
Systèmes Logiques (1) & (2)



Pour les Classes de 1^{er} année GE

(Tronc Commun)

Elaboré par :

Ben Amara Mahmoud (Technologue)
& Gâaloul Kamel (Technologue)



SOMMAIRE

	PAGE :
INTRODUCTION	1
TD N°1 : Systèmes de numération & codage de l'information	2
TD N°2: Algèbre de Boole & Simplification Algébrique des Fonctions Logiques	4
TD N°3: Synthèse & Simplification par Tableau de Karnaugh	6
TD N°4: Circuits Combinatoires (Codeurs, Décodeurs, Multiplexeurs ...)	8
TD N°5 : Circuits Combinatoires (Comparateurs & Additionneurs)	10
TD N°6 : Systèmes Séquentiels Asynchrones (Synthèse par la méthode d'Huffman)	13
TD N°7 : Systèmes Séquentiels (Bascules et Compteurs asynchrones)	14
TD N°8 : Systèmes Séquentiels (Compteurs Synchrones & Registres)	16
Recueil des devoirs & examens	19
Bibliographie	65



INTRODUCTION

Le présent travail constitue un fascicule des travaux dirigés de systèmes logiques (1) & (2), qui s'adresse essentiellement aux étudiants des Instituts Supérieurs des Etudes Technologiques du département génie électrique, régime LMD, tronc commun, première année, semestres (1) et semestre (2) (classes GE1). Il est destiné à accompagner le travail personnel de l'étudiant avec l'aide précieuse de l'enseignant au cours de séances des travaux dirigés.

Dans ce fascicule, on a proposé huit séries d'exercices qui couvrent les différentes parties du programme et qui cherchent à respecter une progression raisonnable et souple des acquis et des savoirs. Par la suite on a présenté quelques sujets des devoirs surveillés et des examens de qui ont été proposés à l'ISET de Nabeul durant ces dernières années.

Enfin il est à signaler que ce travail n'a aucun caractère définitif, il ne prétend pas être exhaustif. Certes, son contenu peut être amélioré.



TD N 1 - Systèmes de numération & codage de l'information.

Exercice 1:

- 1) Convertir les nombres décimaux suivants en base 2 (base binaire) :
 - a. 13
 - b. 27
 - c. 135
 - d. 2016
 - e. 10512
 - f. 0,125
 - g. 0,25
 - h. 0,35
 - i. 15,33
 - j. 135,625
- 2) Convertir les nombres décimaux précédents en hexadécimal (base 16) puis en octal (base 8).

Exercice 2:

Ecrire les nombres binaires suivants en base 10.

- a. 110
- b. 1101
- c. 11011
- d. 110,11
- e. 0,1101
- f. 0,0011
- g. 101,101
- h. 10110011
- i. 111111110
- j. 10011100011

Exercice 3:

Ecrire les nombres hexadécimaux suivants en base 10.

- a. 9A
- b. 5F3
- c. 110
- d. 0,25
- e. 1ABC,DE

Exercice 4:

Par conversion rapide,

- 1) Ecrire les nombres précédents de l'exercice 3 en base 2 .
- 2) Ecrire les nombres précédents en base 8 (en utilisant la base 2 comme base relais !).

Exercice 5:

Par conversion rapide, écrire les nombres binaires suivants en base octale puis en base hexadécimale.

- a. 11011
- b. 10110011
- c. 111111110
- d. 11011,1011
- e. 111111110,1101

Exercice 6:

- 1) Sur un format de 8 bits. Ecrire les nombres décimaux suivants dans la représentation module plus signe. (le 1^{er} bit à gauche prend "0" si le nombre est positif "1" s'il est négatif)
 - a. +24
 - b. -24
 - c. +17
 - d. -128
 - e. +128

- 2) Ecrire les nombres décimaux précédents sur format de 8bits dans la représentation en complément vrai (ou complément à 2)

Exercice 7:

Effectuer les opérations arithmétiques suivantes :

- | | |
|------------------------------|-----------------------------------|
| a. $(101011)_2 + (1011)_2$ | f. $(AF5)_{16} - (10C)_{16}$ |
| b. $(331)_4 + (123)_4$ | g. $(101011)_2 \times (1011)_2$ |
| c. $(AF5)_{16} + (10C)_{16}$ | h. $(AF5)_{16} \times (10C)_{16}$ |
| d. $(101011)_2 - (11011)_2$ | i. $(101011)_2 \div (1011)_2$ |
| e. $(331)_4 - (123)_4$ | j. $(AF5)_{16} \div (10C)_{16}$ |

Exercice 8:

Les nombres et les résultats sont représentés sur 8 bits.

Faire les opérations binaires suivantes (par addition du complément à 2). Préciser s'il y a retenue ou débordement et conclure en le justifiant si on doit retenir le résultat ou le rejeter.

- | | |
|------------------------|------------------------|
| a. 11011011 - 01101010 | d. 11101000 + 11110111 |
| b. 01101011 - 11011011 | e. 10011010 - 00010111 |
| c. 01011111 + 01100001 | f. 01011011 - 10111011 |

Exercice 9:

Ecrire les nombres décimaux suivants dans le mode de représentation en complément à 2 en utilisant le code BCD et un format de 16 éléments binaires.

- | | |
|---------|---------|
| a. +048 | d. +103 |
| b. -048 | e. -124 |
| c. -157 | |

Exercice 10:

Un opérateur tape sur un clavier de micro-ordinateur un programme en basic. Cet ordinateur traduit chaque touche enfoncée en un code ASCII et conserve le tout en mémoire. Déterminer les codes (bit de parité, code ASCII sur 7 bits) qui se retrouve en mémoire y compris l'espace, quand l'opérateur tape l'instruction en basic suivante :

GOTO 25

Le bit de parité est "0" si le nombre de 1 dans le code ASCII est pair si non c'est "1"

Decimal	Hex	Char	Decimal	Hex	Char	Decimal	Hex	Char	Decimal	Hex	Char
0	0	[NULL]	32	20	[SPACE]	64	40	@	96	60	`
1	1	[START OF HEADING]	33	21	!	65	41	A	97	61	a
2	2	[START OF TEXT]	34	22	"	66	42	B	98	62	b
3	3	[END OF TEXT]	35	23	#	67	43	C	99	63	c
4	4	[END OF TRANSMISSION]	36	24	\$	68	44	D	100	64	d
5	5	[ENQUIRY]	37	25	%	69	45	E	101	65	e
6	6	[ACKNOWLEDGE]	38	26	&	70	46	F	102	66	f
7	7	[BELL]	39	27	'	71	47	G	103	67	g
8	8	[BACKSPACE]	40	28	(72	48	H	104	68	h
9	9	[HORIZONTAL TAB]	41	29)	73	49	I	105	69	i
10	A	[LINE FEED]	42	2A	*	74	4A	J	106	6A	j
11	B	[VERTICAL TAB]	43	2B	+	75	4B	K	107	6B	k
12	C	[FORM FEED]	44	2C	,	76	4C	L	108	6C	l
13	D	[CARRIAGE RETURN]	45	2D	-	77	4D	M	109	6D	m
14	E	[SHIFT OUT]	46	2E	.	78	4E	N	110	6E	n
15	F	[SHIFT IN]	47	2F	/	79	4F	O	111	6F	o
16	10	[DATA LINK ESCAPE]	48	30	0	80	50	P	112	70	p
17	11	[DEVICE CONTROL 1]	49	31	1	81	51	Q	113	71	q
18	12	[DEVICE CONTROL 2]	50	32	2	82	52	R	114	72	r
19	13	[DEVICE CONTROL 3]	51	33	3	83	53	S	115	73	s
20	14	[DEVICE CONTROL 4]	52	34	4	84	54	T	116	74	t
21	15	[NEGATIVE ACKNOWLEDGE]	53	35	5	85	55	U	117	75	u
22	16	[SYNCHRONOUS IDLE]	54	36	6	86	56	V	118	76	v
23	17	[ENG OF TRANS. BLOCK]	55	37	7	87	57	W	119	77	w
24	18	[CANCEL]	56	38	8	88	58	X	120	78	x
25	19	[END OF MEDIUM]	57	39	9	89	59	Y	121	79	y
26	1A	[SUBSTITUTE]	58	3A	:	90	5A	Z	122	7A	z
27	1B	[ESCAPE]	59	3B	;	91	5B	[123	7B	{
28	1C	[FILE SEPARATOR]	60	3C	<	92	5C	\	124	7C	
29	1D	[GROUP SEPARATOR]	61	3D	=	93	5D]	125	7D	}
30	1E	[RECORD SEPARATOR]	62	3E	>	94	5E	^	126	7E	~
31	1F	[UNIT SEPARATOR]	63	3F	?	95	5F	_	127	7F	[DEL]

Exercice 11:

On veut cadrer une position entre 0 et 15 cm avec une précision supérieur ou égale à 0,1 mm.

- Quel est le nombre de bits nécessaires ?
- Quelle est la précision obtenue finalement ?
- Donner la relation entre la longueur en mm et le code binaire ?
- Quelle est la longueur qui correspond à $(72C)_{16}$.



TD N 2 - Algèbre de Boole & Simplification Algébrique des Fonctions Logiques.

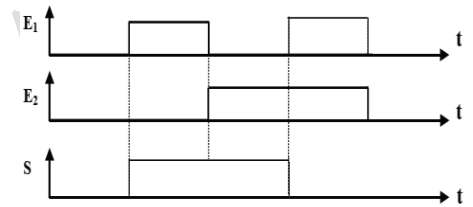
Exercice 1:

- 1) Quelle propriété des fonctions logiques de base nous a permis de réaliser une porte logique "OU" ou une porte logique "ET" à 3 entrées (ou plus) à partir des portes logiques "OU" à 2 entrées et des portes logiques "ET" à 2 entrées ? Donner les schémas logiques de "OU" et de "ET" à 4 entrées conçues à partir des "OU" et des "ET" à 2 entrées.
- 2) Donner le schéma logique du "NAND" à 4 entrées et du "NOR" à 4 entrées conçues à partir des "NAND" et des "NOR" à 2 entrées.
- 3) La fonction "XOR" est associative alors que "XNOR" ne l'est pas. Donner donc le schéma logique d'une porte "XOR" à 3 entrées puis d'une porte "XNOR" à 3 entrées conçues à partir des portes "XOR" à 2 entrées.

Exercice 2:

A partir du chronogramme ci-contre

- 1) Etablir l'équation logique de la sortie S en fonction des entrées.
- 2) De quelle fonction logique s'agit-il ? schématiser son schéma logique l'aide des opérateurs de base et son schéma électrique (entrées= contacts et sortie Voyant).
- 3) Etablir l'équation de \bar{S} qu'appelle-t-on cette fonction ? donner le symbole logique



Exercice 3:

A partir de la table de vérité ci-contre

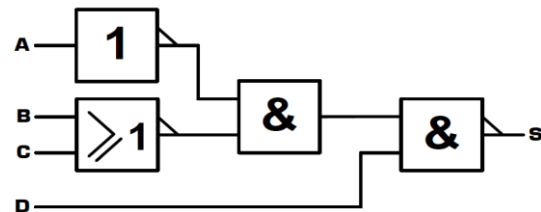
- 1) Etablir l'équation logique de la sortie S en fonction des entrées sous sa première forme canonique ($\Sigma\Pi$) standard puis décimale.
- 2) En déduire l'expression de S sous sa deuxième forme canonique ($\Pi\Sigma$) standard et décimale
- 3) En utilisant les propriétés de l'algèbre de Boole, Simplifier la première forme de S puis schématiser son logigramme à l'aide des portes logiques de base.

A	B	C	S
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Exercice 4:

A partir du logigramme ci-contre,

- 1) Compléter la remarque suivante « La sortie S vaut forcément lorsque D vaut quelque soit l'état des entrées »
- 2) Déterminer l'équation logique de la sortie S en fonction des entrées.
- 3) A partir du logigramme, établir la table de vérité qui décrit le fonctionnement de S.
- 4) Donner l'équation logique de la sortie $S_{(ABCD)}$ sous sa deuxième forme canonique ($\Pi\Sigma$) standard puis décimale. En déduire la première forme canonique ($\Sigma\Pi$) décimale. ($A=MSB$ et $D=LSB$)



Exercice 5:

Soit la fonction $Z_{(abc)} = \Sigma(0 ; 1 ; 2 ; 5)$. ($a=MSB$ et $c=LSB$)

- 1) En donner sa 1^{ère} forme canonique algébrique.
- 2) La complémenter en utilisant le théorème de De Morgan et en donner sa forme numérique $\Pi(\dots)$.

3) La complémenter directement à partir de la forme numérique $\bar{\Sigma}(\dots) \rightarrow \Pi(\dots)$.

4) Donner \bar{Z} sous sa forme numérique $\Sigma(\dots)$

Exercice 6:

Simplifier algébriquement les fonctions suivantes :

$$F_1 = a.b + \bar{c} + c.(a + \bar{b})$$

$$F_2 = (x.\bar{y} + z).(x + \bar{y}).z$$

$$F_3 = (x + y).z + \bar{x}.\bar{(y + z)} + \bar{y}$$

$$F_4 = (a + b + c).\bar{(a + b + c)} + a.b + b.c$$

Exercice 7:

Mettre les fonctions suivantes sous la première forme canonique algébrique puis décimale (a=MSB et poids décroissant dans l'ordre alphabétique) :

$$F_1 = (a + b).\bar{(a + b + c)}$$

$$F_2 = \bar{a}.b.d + a.\bar{b}.c + a.b.c$$

$$F_3 = (\bar{a} + \bar{c}).(a + \bar{d} + c)b.\bar{c}$$

Exercice 8:

Mettre les fonctions suivantes sous la deuxième forme canonique algébrique puis décimale (a=MSB et poids décroissant dans l'ordre alphabétique) :

$$F_1 = (a + c).\bar{(a + b + c)}$$

$$F_2 = b.c + a.\bar{b} + \bar{a}.c.\bar{d} + \bar{c}$$

$$F_3 = (a + b + c).(a\bar{b} + \bar{c})$$

Exercice 9:

1°) Réaliser les logigrammes des fonctions suivantes :

$$F = \bar{A}.\bar{B}.\bar{C} + \bar{C}.D$$

$$G = A.(B + C)$$

$$H = A.B + BC + AC$$

avec 3 portes NOR à 2 entrées,

avec 3 portes NAND à 2 entrées,

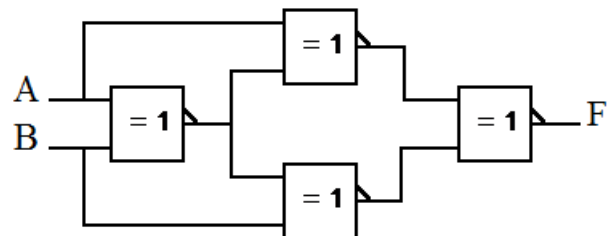
avec des portes NAND à 2 entrées.

2°) Simplifier la fonction suivante et dessiner son logigramme à l'aide des portes NAND puis à l'aide des portes NOR à deux entrées.

$$K = B.\bar{C}.\bar{D} + A.B.\bar{D} + \bar{A}.B.C.\bar{D}$$

Exercice 10:

Peut-on simplifier le logigramme suivant qui utilise 4 portes "XNOR" (ou coïncidence) ?





TD N 3 - Synthèse & Simplification par Tableau de Karnaugh

Exercice 1:

On désire réaliser la logique de commande d'un distributeur de boissons chaudes capable de délivrer du thé (électrovanne "T"), du café ("C") et du sucre ("S"). Trois boutons "t", "c" et "s" permettent d'obtenir :

- du café, sucré ou non ;
- du thé, sucré ou non ;
- du sucre seul (gratuit).

t	c	s	p	T	C	S	P

Une pièce "p" doit être introduite après avoir choisi une boisson. La pièce est rendue en cas de fausse manœuvre ; c'est la fonction "P" de restitution.

- 1) Etablir la table de vérité,
- 2) Trouver les équations de T , C , S et P,
- 3) Proposer un logigramme des fonctions T , C , S et P.

Exercice 2:

Simplifier les fonctions suivantes H_1 et H_2 en vue de réalisation n'utilisant que :

- des portes ET-NON,
- des portes OU-NON.

Dessiner les logigrammes de H_1 et H_2
x état indéterminé ou indifférent (0,1).

a	b	c	d	H_1	H_2
0	0	0	0	0	1
0	0	0	1	x	1
0	0	1	0	1	0
0	0	1	1	0	0
0	1	0	0	0	0
0	1	0	1	x	1
0	1	1	0	1	1
0	1	1	1	1	x
1	0	0	0	0	0
1	0	0	1	1	0
1	0	1	0	0	0
1	0	1	1	0	0
1	1	0	0	1	x
1	1	0	1	1	1
1	1	1	0	0	1
1	1	1	1	0	0

Exercice 3:

En utilisant les diagrammes de Karnaugh, simplifier les fonctions suivantes :

$$F_1 = a.b.\bar{c} + \bar{a}.\bar{b}.c + a.\bar{b}.\bar{c} + a.\bar{b}.c$$

$$F_2 = \bar{a}.\bar{b}.c.\bar{d} + \bar{a}.\bar{b}.c.d + \bar{a}.\bar{b}.\bar{c}.\bar{d} + \bar{a}.\bar{b}.\bar{c}.d + \bar{a}.b.c.\bar{d} + \bar{a}.b.c.d + a.\bar{b}.\bar{c}.\bar{d}$$

$$F_{3(abcd)} = \Sigma(0;1;2;3;9;10;11;13;15)$$

$$F_5 = (\bar{a}.b + a.\bar{b} + a.\bar{b}).(c.\bar{d} + \bar{c}.d) + \bar{c}.d.(a.b + a.\bar{b})$$

$$F_6 = a.b.\bar{d} + b.\bar{c}.\bar{d} + \bar{a}.\bar{b}.\bar{c}.\bar{d} + a.b.\bar{c} + a.\bar{b}.c.d \text{ avec : } \bar{a}.\bar{b}.c.d, \bar{a}.\bar{b}.\bar{c}.d, \bar{a}.\bar{b}.c.d,$$

$\bar{a}.\bar{b}.\bar{c}.\bar{d}, a.b.c.d$ sont des états indifférents.

Exercice 4:

Représenter les logigrammes des fonctions F_5 et F_6 de l'exercice précédent respectivement à l'aide des NAND à deux entrées et des NOR à 2 entrées.

Exercice 5:

Chacune des trois alarmes A, B et C met un fil à la masse (c.à.d. A, B et C sont actifs dans l'état logique bas(0), et le potentiel bas c'est 0V)

A l'aide des ET-NON, réaliser un système logique qui permet :

- D'allumer la lampe L (L=1) quand il existe une seule alarme (alarme mineur),
- De déclencher une sonnerie S (S=1) quand il existe au moins deux alarmes (alarme majeure).

Pour cela on envisage 2 cas :

- 4) L et S ne doivent pas être déclenchés en même temps (L.S=0) ; Donner les expressions de L et S ainsi que le schéma de logigramme,
- 5) On économise quelques circuits si le système est conçu de telle manière que la lampe reste allumée quand la sonnerie fonctionne.

Exercice 6:

Un pont peut soutenir 7 tonnes au maximum et on doit surveiller le poids des véhicules se présentant aux deux extrémités A et B où deux bascules mesurent les poids respectifs a et b des véhicules.

On suppose que chaque véhicule a un poids inférieur à 7 tonnes :

- si un seul véhicule se présente la barrière correspondante A ou B s'ouvre,
- si $a+b \leq 7$ tonnes, les barrières A et B s'ouvrent,
- si $a+b > 7$ tonnes la barrière correspondante au véhicule le plus léger s'ouvre,
- si $a=b$ la barrière A s'ouvre en priorité.

a et b n'étant pas de variables binaires, il convient de créer deux variables binaires x et y et de reformuler l'énoncé du problème.

- 1) Exprimer A et B en fonction de x et y
- 2) Donner le schéma du circuit en utilisant des portes ET-NON à 2 entrées.
- 3) Refaire le schéma avec des OU-NON à deux entrées.

Exercice 7:

Dans une usine des briques on effectue le contrôle de qualité selon 4 critères : le poids (p), la longueur (lo) la largeur (la) et la hauteur (h) (0 incorrect et 1 correct), cela permet de classer les briques en trois catégories :

Qualité A : le poids (p) et deux dimensions au moins sont corrects,

Qualité B : le poids (p) seul est incorrect ou le poids étant correct et deux dimensions au moins sont incorrectes,

Qualité C : (ou refus) le poids (p) est incorrect ainsi qu'une ou, plusieurs dimensions.

- 1) Etablir la table de vérité liant (p), (lo), (la) et (h) aux Fonctions de sortie A, B et C.
- 2) Ecrire les équations simplifiées (par tableau de Karnaugh) des sorties A, B et C.
- 3) Dessiner le logigramme à l'aide de 2 circuits intégrés contenant 3 ET-NON à 3 entrées et de 1 circuit intégré contenant 4 OU-NON à 2 entrées. On dispose des variables p, lo, la et h sous la forme directe seulement.

Exercice 8:

On dispose, sur un automobile, de quatre commandes indépendants : C_V pour les veilleuses, C_C pour les deux phares de croisement, C_R pour les deux phares de route, C_A pour les deux phares de brouillard (1 au travail 0 au repos)

On note les états de lumières V pour les veilleuses, C pour les feux de croisement, R pour les feux de route et A pour les feux de brouillard (1 pour allumage et 0 pour l'extinction)

- Les veilleuses n'étant comptés comme des phares il est précisé que :
- 4 phare ne peuvent être allumés simultanément,
- Les feux de croisement ont priorité sur le feux de route et les brouillard,
- Les antibrouillards ont priorité sur les feux de route,
- Les veilleuses peuvent être allumées seules mais l'allumage des feux de croisement ou des feux de route ou des antibrouillards entraîne obligatoirement l'allumage des veilleuses.

- 1) Donner la table de vérité liant V, C, R et A à C_V , C_C , C_R et C_A .
- 2) Simplifier les fonctions à l'aide de tableau de Karnaugh.
- 3) Dessiner le logigramme utilisant 3 portes NOR, 1 porte NAND et une porte ET.

Exercice 9:

Une société à 4 actionnaires ayant le nombre suivant d'actions A :60 B :100 C :160 D :180.

On désire construire une machine permettant le vote automatique lors des réunions. Chaque actionnaire dont le poids de vote est proportionnel au nombre d'actions appuie sur un bouton qui porte son nom (A, B, C ou D).

Si un actionnaire vote OUI, sa variable (par exemple A) vaut 1, s'il vote NON, elle vaut 0.

Une résolution sera votée ($V=1$) si la somme des actions correspondant aux vote OUI représente au moins la moitié des actions plus 1. Exprimer V en fonction de A, B, C et D et dessiner le logigramme.



TD N 4 - Circuits Combinatoires :

(Codeurs, Décodeurs, Multiplexeurs & Démultiplexeurs)

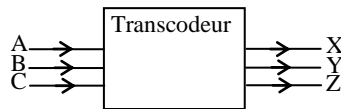
Exercice 1:

Dans le cas d'un encodeur prioritaire, si plusieurs lignes d'entrée sont actives simultanément, le résultat correspondant à une seule parmi celles-ci est affiché en sortie. Par exemple, si A7 et A8 sont dans l'état 1, l'encodeur prioritaire donne en sortie le code correspondant à « 8 ».

S0	S1	S2	S3	S4	S5	S6	S7	S8	S9	A3	A2	A1	A0
										0	0	0	0
									1	0	0	0	1

- 1) En tenant compte des informations précédentes, compléter la table de vérité ci-contre correspondant à un encodeur de priorité décimal.
- 2) Donner les équations logiques exprimant les Yi en fonction des variables d'entrée

Exercice 2:

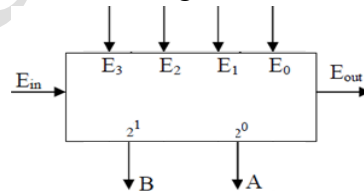


Développez un circuit logique (transcodeur) muni de 3 variables d'entrée (A,B,C)₂ représentant le nombre N dans le code binaire naturel(ou pur), et qui donne en sortie (XYZ) représentant le même nombre dans le code Gray (ou binaire réfléchi).

- 1) Dresser une table de vérité traduisant le fonctionnement,
- 2) A l'aide du tableau de Karnaugh, trouver les équations des sorties : X , Y et Z,
- 3) Dessiner le logigramme avec uniquement des portes "XOR" à deux entrées,
- 4) En déduire le logigramme si le code d'entrée est sur 4 bits.
- 5) Vérifier que ce transcodeur peut réaliser le transcodage inverse

Exercice 3:

Soit un circuit combinatoire à 5 lignes d'entrée et 3 lignes de sorties comme le montre la figure ci-dessous :



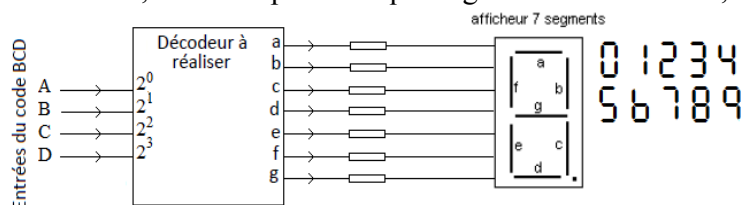
Le fonctionnement est le suivant :

- Lorsqu'une seule ligne d'entrée, parmi E₀, E₁, E₂, E₃ se trouve au niveau haut, son numéro est codé en binaire sur les sorties (BA),
- Si plusieurs lignes sont simultanément au niveau haut, on code le numéro le plus élevé,
- Si toutes les lignes d'entrée sont au niveau bas, on code (BA) = (00), mais on signale par E_{out}=1 que ce code n'est pas validé. Dans tout les autres cas E_{out}=0.
- Le fonctionnement décrit jusqu'ici s'observe lorsque E_{in}=1. Si E_{in}=0, on obtient B=A=E_{out} = 0.

- 1) Dresser la table e vérité du codeur.
- 2) Etablir les équations logiques des sorties A, B et E_{out} en fonction des entrées de E₀...E₃ et E_{in}.
- 3) Représenter le schéma logique du codeur

Exercice 4:

On cherche à concevoir un décodeur pour piloter un afficheur 7 segments. La logique de décodage requiert 4 entrées BCD et 7 sorties, soit une pour chaque segment de l'afficheur, comme l'illustre la figure suivante :



- 1) Dresser la table de vérité du décodeur BCD/ 7 segments. Les sorties seront considérées indéterminées (ϕ) pour les combinaisons d'entrée non valides.
- 2) A l'aide du tableau de Karnaugh déterminer les expressions simplifiées des sorties.
- 3) Représenter le schéma logique des sorties a, b et c.

Exercice 5:

- 1) Trouver les équations logiques régissant le fonctionnement du décodeur à 3 entrées (1 parmi 8) dont la table de vérité est résumée dans la table suivante :

INPUTS						OUTPUTS							
$\overline{E1}$	$\overline{E2}$	E3	A0	A1	A2	$\overline{O0}$	$\overline{O1}$	$\overline{O2}$	$\overline{O3}$	$\overline{O4}$	$\overline{O5}$	$\overline{O6}$	$\overline{O7}$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	L	H	H	H	H
L	L	H	L	L	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

H= High voltage Level ; L= Low voltage Level ; X=Niveau indifférent

- 2) Donner la structure logique (le logigramme) d'un tel décodeur
- 3) A partir du décodeur précédent (1 parmi 8), concevoir un décodeur 1 parmi 32.

Exercice 6:

- 1) Trouver les équations logiques régissant le fonctionnement du multiplexeur à 4 entrées plus une entrée de validation active au niveau bas : \overline{G} . Combien faut-il d'entrées de sélection ?
- 2) Même question que précédemment mais pour un multiplexeur à 8 entrées plus une entrée de validation \overline{G} supplémentaire.
- 3) A l'aide de multiplexeurs 8 entrées définis précédemment, concevoir un multiplexeur à 16 entrées.

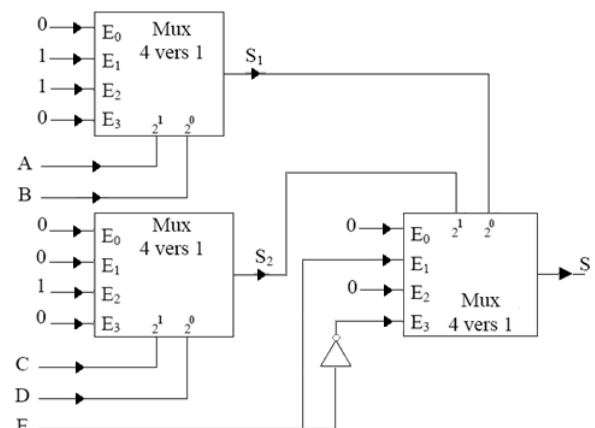
Exercice 7:

- 1) Créer un circuit pour mettre en œuvre la fonction logique spécifiée au tableau suivant en utilisant un multiplexeur à 8 entrées,
- 2) refaire la question précédente mais avec un multiplexeur 4*1,
- 3) Même chose que précédemment mais avec un décodeur 3 vers 8.

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

Exercice 8:

Soit le schéma ci-contre :
 Donnez l'équation de S en fonction de A, B, C, D, et E .



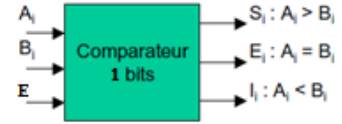


TD N 5 - Circuits Combinatoires : (Comparateurs & Additionneurs)

Exercice 1:

1) Donner le schéma logique d'un comparateur 1 bit pourvu d'une entrée de validation E autorisant la comparaison . Si E=0, toutes les sorties valent « 0 », sinon le fonctionnement est le suivant :

- $S_i=1$ si $A_i > B_i$,
- $E_i=1$ si $A_i=B_i$,
- $I_i=1$ si $A_i < B_i$.



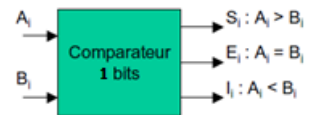
2) Dédurre le schéma d'un comparateur de deux nombres de 3 bits $A=(a_2a_1a_0)_2$ $B=(b_2b_1b_0)_2$ utilisant 3 comparateurs à 1 bits en cascade et des portes "OU". Quel inconvénient présente cette solution ? Comment remédier à cet inconvénient ?

Exercice 2:

On veut réaliser un circuit capable de comparer 2 nombres binaires de 4 bits notés $A=(A_3A_2A_1A_0)$ et $B=(B_3B_2B_1B_0)$ que l'on appelle communément « comparateur 4 bits ».

Pour cela, on demande de:

1) Etablir une table de vérité puis réaliser le logigramme du comparateur de deux nombres à 1 bits A_i et B_i , schématisé ci-dessous.



2) Etablir par un raisonnement S, E et I en fonction de S_i , E_i et I_i puis réaliser un comparateur 2 bits en utilisant 2 comparateurs 1 bits, 3 portes ET à 2 entrées et 2 portes OU à 2 entrées.

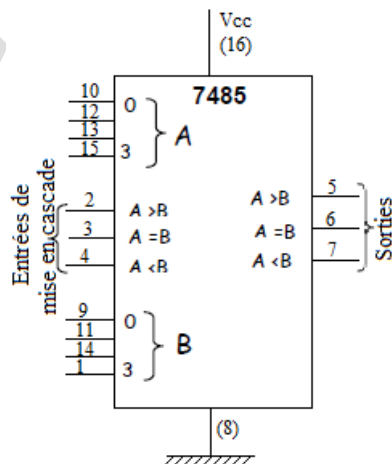
3) Refaire le travail pour réaliser un comparateur de deux nombres binaires de 4 bits A et B.

Exercice 3:

On donne ci-dessous le schéma de brochage et la table de vérité du circuit intégrée 74HC85 qui est un comparateur logique 4bits

1) Dessiner un schéma de câblage à l'aide de comparateurs « 4 bits » 7485 qui nous permet de comparer deux nombres binaires A et B de huit bits $A=(a_7a_6a_5a_4a_3a_2a_1a_0)_2$ et $B=(b_7b_6b_5b_4b_3b_2b_1b_0)_2$

2) A l'aide d'un comparateur intégré 4 bits 7485 on désire comparer deux nombres binaires de 5bits. Donner le schéma logique d'un tel système.



Entrées des nombres				Entrées cascadables			Sorties		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	1	0	0
A3 < B3	X	X	X	X	X	X	0	1	0
A3 = B3	A2 > B2	X	X	X	X	X	1	0	0
A3 = B3	A2 < B2	X	X	X	X	X	0	1	0
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	1	0	0
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	1	0	0
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	1	0	0	1	0	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	1	0	0	1	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	0	1	0	0	1
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	1	0	0	1
A3 = B3	A2 = B2	A1 = B1	A0 = B0	1	1	0	0	0	0
A3 = B3	A2 = B2	A1 = B1	A0 = B0	0	0	0	1	1	0

Fig. 23. - Table de vérité du circuit intégré 7485.

3) Afin de comparer deux nombres binaires de 4bits, on utilise le circuit 7485. En se basant sur la table de vérité du comparateur 7485 compléter le tableau suivant :

A	B	Entrées cascadables			sorties		
		A<B	A=B	A>B	A<B	A=B	A>B
1100	0111	0	1	0			
1100	1111	0	0	0			
1100	1100	0	1	0			
1100	1100	0	0	0			
1100	0100	1	0	0			
1101	1101	1	0	0			

Exercice 4:

On veut réaliser l'addition S de 2 nombres A et B codés en binaires naturel sur n bits tels que :

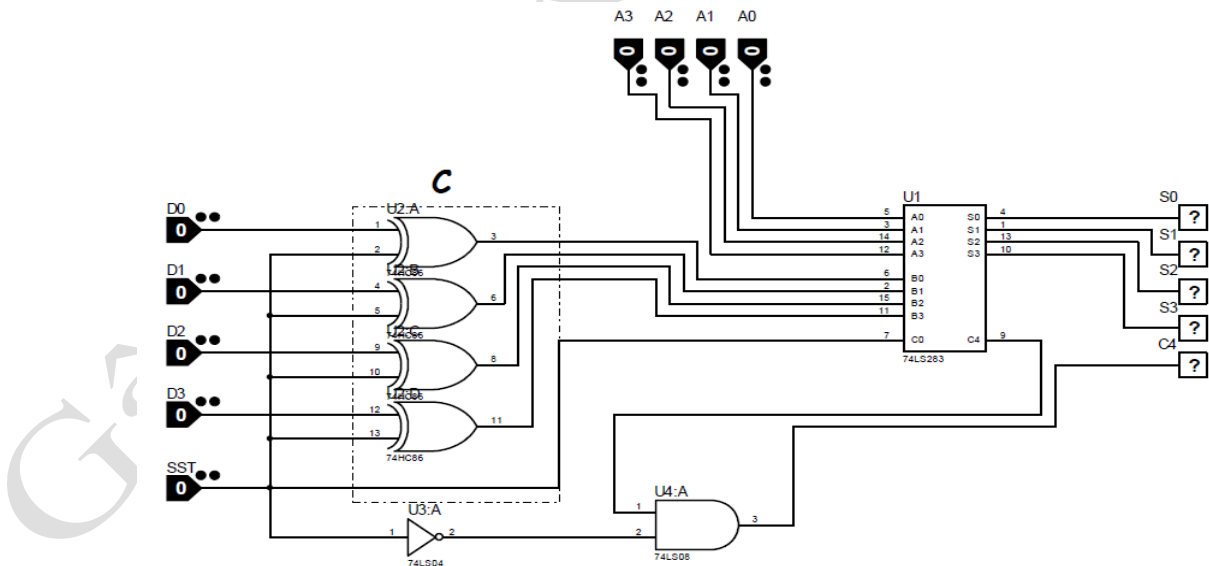
$$\begin{array}{r}
 A \longrightarrow \quad A_n \quad A_{n-1} \quad \dots \quad A_1 \\
 B \longrightarrow \quad + \quad B_n \quad B_{n-1} \quad \dots \quad B_1 \\
 \hline
 S \longrightarrow \quad = \quad S_n \quad S_{n-1} \quad \dots \quad S_1
 \end{array}$$

A_n , B_n et S_n étant les bits de poids fort.

- 1) Demi-additionneur : on appelle S_i et C_i respectivement le résultat et la retenue de l'addition de 2 bits A_i et B_i indépendamment de la retenue C_{i-1} de l'addition des 2 bits précédents. Etablir les tables de Karnaugh de S_i et C_i . En déduire le diagramme logique de ces 2 fonctions en utilisant des fonctions élémentaires (OR, AND, XOR...)
- 2) Additionneur complet à retenue propagée (ripple carry) : pour réaliser l'addition de A et B, on additionne en commençant par les bits de poids faible, A_i , B_i et C_{i-1} . Le résultat est S_i et une retenue éventuelle C_i .
 - a) Faire les tables de Karnaugh de S_i et C_i . En déduire le diagramme logique de ces fonctions. Précisez les circuits utilisés.
 - b) A partir du bloc élémentaire d'addition défini précédemment, définir le schéma réalisant l'addition de A et B (4 bits).

Exercice 5:

Soit le montage suivant qui représente un additionneur- soustracteur de deux nombres à 4 bits :



- Donner le rôle de l'entrée SST.
- Donner le rôle du circuit C.
- Compléter le tableau suivant :

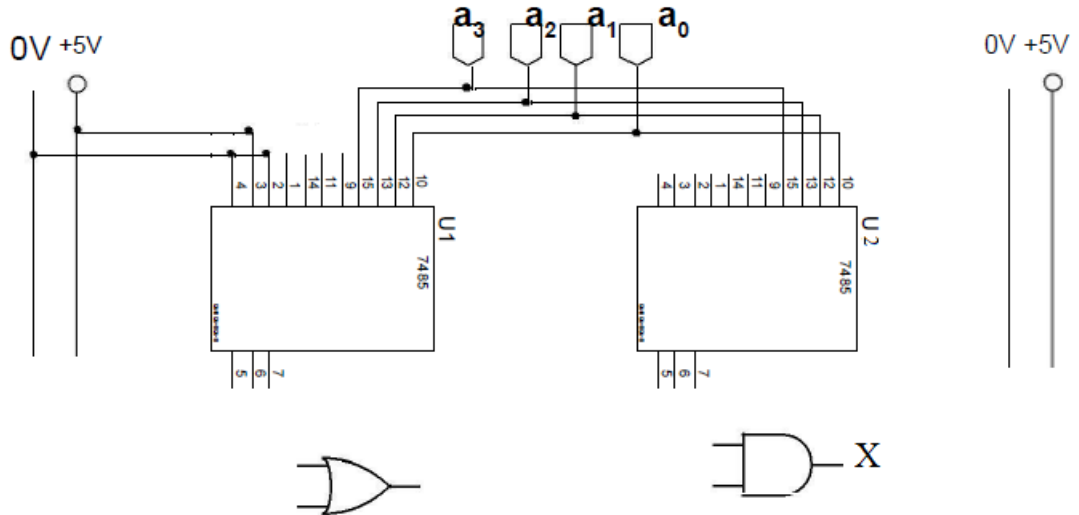
SST	A3A2A1A0	D3D2D1D0	B3B2B1B0	C4C3C2C1C0	FONCTIONNEMENT
0	1111	1001			
0	1111	1111			
1	0111	1001			
1	1101	0010			

Exercice 6:

On désire concevoir une variable logique de sortie **X** qui satisfait les conditions suivantes :

X = 1 si **A < 7** et **A ≥ 10** , si non **X = 0** **A** étant un nombre binaire **A=(a₃a₂a₁a₀)₂**

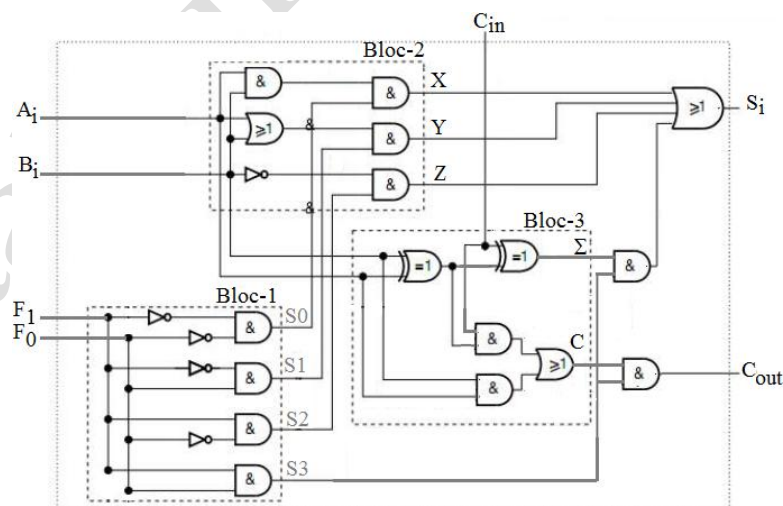
Compléter le schéma suivant qui Donne une solution de X utilisant des circuits comparateurs 4 bits (CI 7485) est des portes logiques ET et OU à 2 entrées (CI 7408 et CI 7432).



Exercice 7:

Le circuit de la figure ci-dessous est celui d'une unité arithmétique et logique (UAL) à 1 bit constitué essentiellement de trois blocs et de quelques portes logiques.

- 1) Ecrire les expressions logiques des sorties de différents blocs. En déduire la fonction réalisée par chaque bloc.
- 2) Donner l'expression de S_i en fonction de A_i et B_i pour les différentes combinaisons de F_1F_0 et expliquer clairement le fonctionnement du circuit.
- 3) Donner le schéma bloc d'une UAL à 4 bits réalisée à partir du schéma bloc de l'UAL 1 bit.





TD N 6 - Systèmes Séquentiels Asynchrones (Synthèse par la méthode d'Huffman)

Exercice 1:

Dans une salle de classe on désire installer un tableau à montée et descente automatique. Le dispositif est constitué par deux câbles situés à droite et à gauche du tableau, s'enroulant à la partie supérieur sur deux tambours, calés sur un même arbre, mus par un moteur électrique équipé d'un réducteur de vitesse à roues et vis sans fin.

Les conditions de fonctionnement sont les suivantes :

- i. Le tableau monte lorsqu'on actionne un bouton poussoir **a** (action maintenue) et s'arrête quand **a** est libéré.
- ii. Le bouton descend lorsque l'on actionne un bouton poussoir **c** (action maintenue) et s'arrête quand **c** est libéré.
- iii. Pour des raisons de sécurité, deux cas doivent-être envisagés

1^{er} cas : L'action simultanée sur **a** et **c** provoque l'arrêt du tableau qui ne se remet en marche que lorsque l'un des deux boutons est libéré, est dans le sens prescrit par celui reste actionné.

2^{ème} cas : L'action simultanée sur **a** et **c** ne modifie pas le mouvement du tableau, la priorité étant accordée au bouton qui a été actionné le premier.

On demande dans les deux cas de sécurité envisagés d'établir :

- 1) Les équations des circuits,
- 2) Les schémas des circuits.

Nota : Les sécurité de fin de course seront ajoutées après l'établissement des schémas

\bar{h}  : fin de course montée \bar{d}  : fin de course descente.

Exercice 2:

Une sortie **K** est commandée est commandée par un bouton poussoir **S**, le fonctionnement est le suivant :

- A l'arrêt **S=0** et **K=0**,
- On appuie sur **S**, **K** fonctionne,
- On relâche **S**, **K** reste en fonctionnement,
- On appuie de nouveau sur **S**, **K** ne fonctionne plus,
- Quand on relâche **S**, **K** reste à l'arrêt.

Exercice 3:

Dans un dispositif de contrôle, l'apparition d'une anomalie agit sur un contact **a** ($a=1$) provoque :

- L'allumage d'une lampe orange **L₁** ($L_1=1$),
- La mise en route d'une sonnerie **S** ($S=1$),

Le préposé à la surveillance est ainsi alerté, il agit alors sur un bouton **b** ($b=1$). Deux cas sont possibles :

- L'anomalie est de courte durée, a déjà disparu avant même l'intervention du surveillant, l'action de ce dernier arrête la sonnerie **S** et éteint la lampe **L₁**,
- L'anomalie est de longue durée, persiste encore lors de l'intervention du surveillant, l'action de ce dernier arrête **S** et **L₁** et allume une lampe rouge **L₂** ($L_2=1$).

On demande le plan développé du circuit électrique.

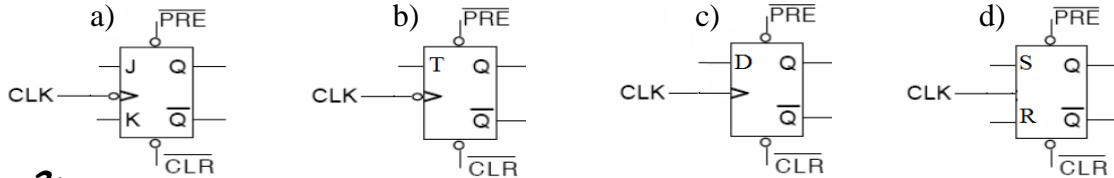


TD N 7 - Systèmes Séquentiels

(Bascules et Compteurs asynchrones)

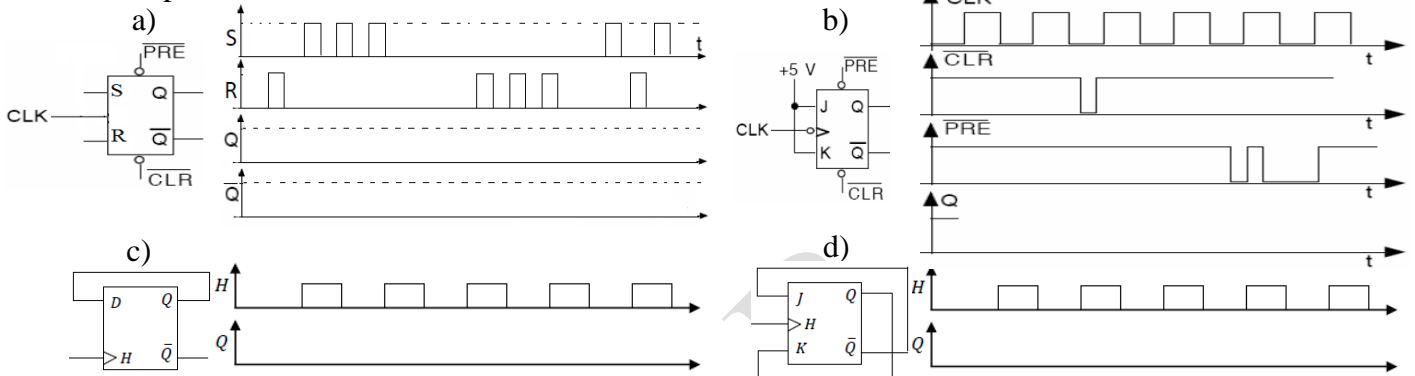
Exercice 1:

On donne les symboles suivants de 4 bascules bistables, on vous demande de donner le nom de chaque bascule, de préciser si elle est synchrone ou asynchrone ? Puis d'indiquer les entrées synchrones et les entrées asynchrones et le type d'activation de l'entrée d'horloge.



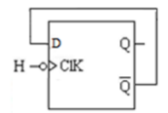
Exercice 2:

Compléter les chronogrammes pour chacun des cas suivants :

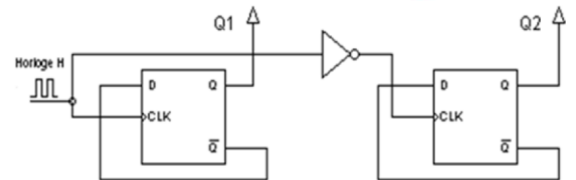


Exercice 3:

- 1) a. Tracer le chronogramme obtenu de H et Q de la figure ci-contre.
b. Quelle est la fréquence F_Q de Q par rapport à la fréquence de l'horloge F_H ?



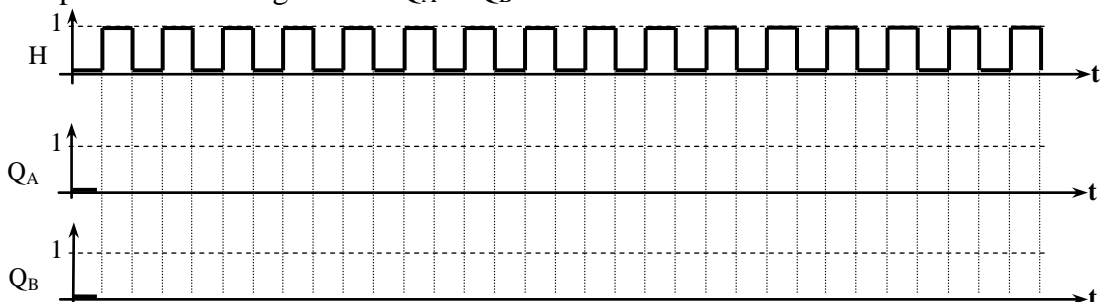
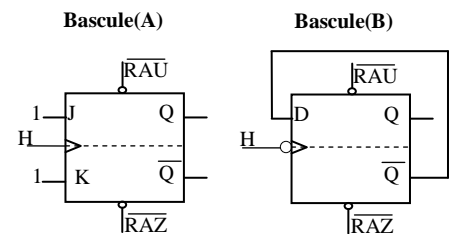
- 2) Pour la figure suivante :
 - a. Tracer les chronogrammes de Q1 et de Q2 pour le signal d'horloge H. Q1 et Q2 sont nuls à $t=0$
 - b. Quelles sont les fréquences de Q1 et de Q2 en fonction de F_H de H ? Quel est le déphasage entre Q1 et Q2 ?



Exercice 4:

A. On donne ci-contre, les symboles des deux bascules a) et b) :

- 1) Donner leurs désignations.
- 2) Pour ces deux bascules, quelles sont les entrées synchrones et les entrées asynchrones. Expliquer le rôle des entrées \overline{RAU} et \overline{RAZ} et préciser pour quel niveau sont-elles actives ?
- 3) Compléter les chronogrammes Q_A et Q_B de deux bascules

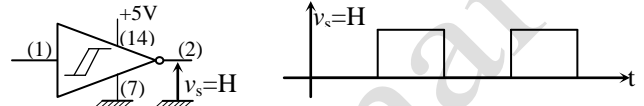


Déduire la fonction réalisée par la bascule dans les deux cas. La fréquence de l'horloge(H) étant $F_H=16\text{KHz}$, calculer donc F_S la fréquence de la sortie Q_A ou Q_B .

B. A l'aide des bascules de type (A) :

- 1) Donner le schéma de câblage d'un compteur binaire asynchrone modulo 12.
- 2) Quel inconvénient présente un tel compteur ? Si le retard de propagation de chaque bascule et porte logique est de l'ordre de $t_{pd}=15\text{ ns}$, quelle sera la fréquence maximale de l'horloge F_{Hmax} autorisée .
- 3) Initialement le compteur est à « 0 », comment réaliser ça ? Quel état sera pris par ce compteur après la 33^{ème} impulsion de l'horloge et lorsque $\overline{RAU} = \overline{RAZ}=1$
- 4) La fréquence de l'horloge(H) $F_H=16\text{ KHz}$. Déterminer donc F_{Qi} la fréquence de la sortie de la dernière bascule (ayant le poids le plus fort).

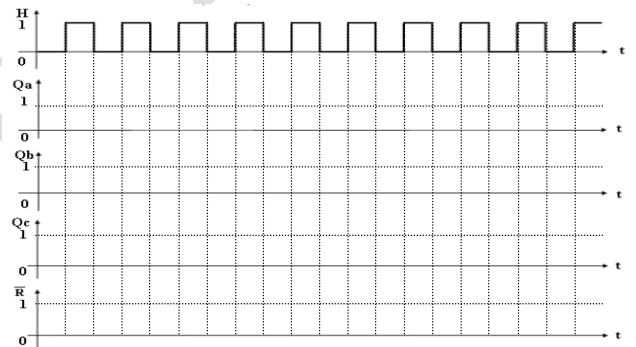
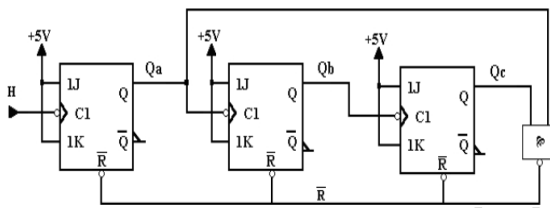
C. Le signal de l'horloge est délivré par un oscillateur astable à bascule de Schmitt 74HC14.



- 1) Donner le schéma de l'horloge.
- 2) Sachant que dans ce cas la fréquence est donnée par $F_H = \frac{1,2}{RC}$. On donne $C=10\text{ nf}$ calculer R pour obtenir $F_H=16\text{ KHz}$.

Exercice 5:

Soit le schéma à bascules suivant :

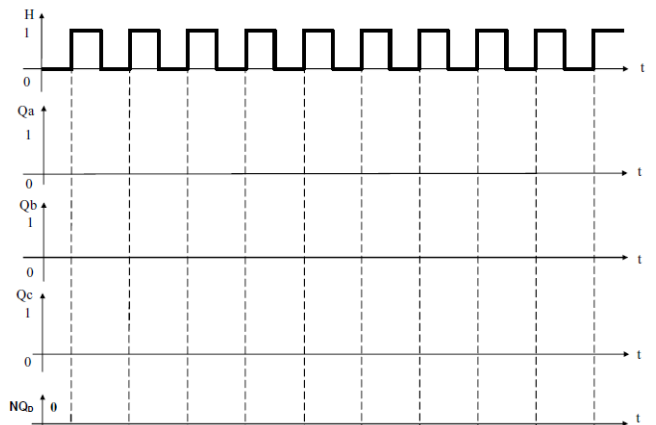
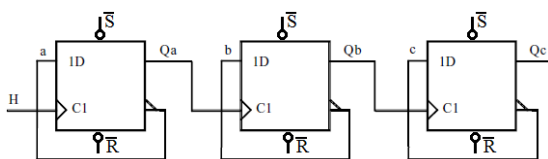


- 1) Sur quel front fonctionnent les bascules ?
- 2) A quel niveau logique les entrées \overline{R} sont elles actives ?
- 3) Compléter les chronogrammes de Q_a , Q_b , Q_c et de \overline{R} (à l'état initial, $Q_a=Q_b=Q_c= "0"$)
- 4) Donner un nom à cette structure ?

Exercice 6:

Soit le schéma structurel suivant :

- 1) Le fonctionnement de ces bascules est-il synchrone ou asynchrone ? Argumenter votre réponse.
- 2) Expliquer le rôle des entrées prioritaires \overline{S} et \overline{R} .
- 3) Tracer les chronogrammes des sorties Q_a , Q_b et Q_c (à l'état initial, $Q_a=Q_b=Q_c= "0"$).
- 4) Convertir en décimal les trois bits binaires Q_c , Q_b et Q_a en prenant Q_a pour bit de poids faible.
- 5) Quelle est la fonction réalisée ?
- 6) Donner le modulo du compteur.
- 7) Modifier le schéma pour réaliser un modulo 6.





TD N 8 - Systèmes Séquentiels

(Compteurs Synchrones & Registres)

Exercice 1:

La table des transitions d'une bascule se remplit à l'aide de sa table de vérité. Il faut déterminer quelles valeurs étaient présentes sur les entrées J et K ou D au moment de la transition. Pour ça on vous donne la table de vérité:

Compléter la table des transitions suivante de la bascule JK. Et d'une bascule D.

Transitions	J	K	D
μ_0			
μ_1			
ε			
δ			

Exercice 2:

On désire réaliser un compteur synchrone modulo 7 à l'aide de bascules JK synchronisées sur front descendant.

1) A l'aide de la table des transitions, remplissez la table d'excitation du circuit ci-dessous.

H	Etat précédent			Etat suivant				J_2	K_2	J_1	K_1	J_0	K_0
	Q_2	Q_1	Q_0	Q_0	Q_2	Q_1							
↓	0	0	0										
↓	0	0	1										
↓	0	1	0										
↓	0	1	1										
↓	1	0	0										
↓	1	0	1										
↓	1	1	0										
↓	1	1	1										

- 2) Donnez les équations des entrées J_0, K_0, J_1, K_1, J_2 et K_2 .
- 3) Dessinez le schéma de câblage.

Exercice 3:

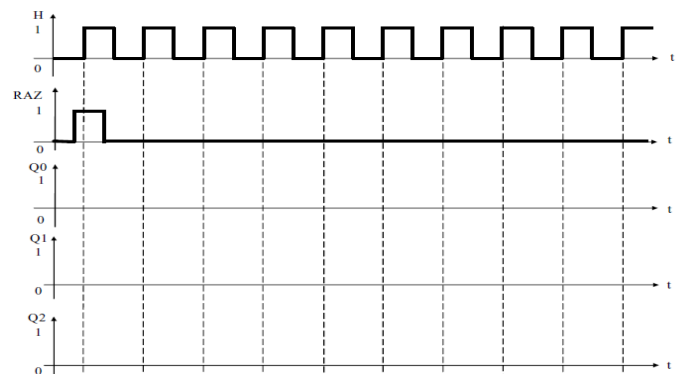
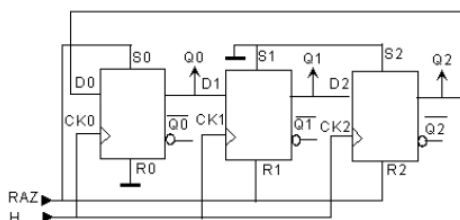
On désire maintenant réaliser un compteur synchrone, modulo 8 en code Gray, à l'aide de bascules D synchronisées sur front montant.

- 1) Etablir la table d'excitation du circuit dans ce cas.
- 2) Donnez les équations des entrées D_0, D_1, D_2 et.
- 3) Dessiner le schéma de câblage.

Exercice 4:

Le Schéma suivant est celui d'un compteur en anneau (ou compteur circulaire).

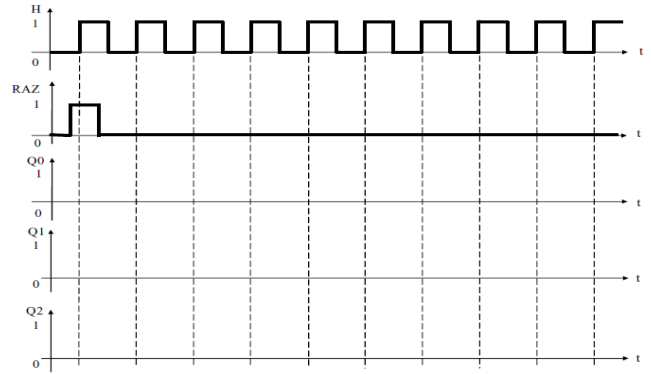
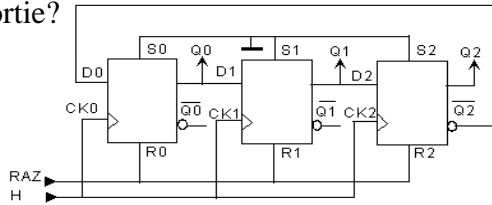
- 1) Tracer les chronogrammes de Q_0, Q_1 et Q_2 .
- 2) Exprimer la fréquence F_{Q_0} en fonction de F_H
- 3) Au vu des chronogrammes, indiquer le modulo de ce compteur.



Exercice 5:

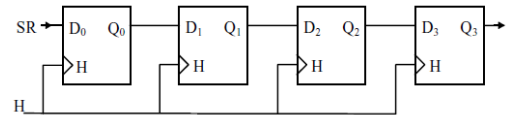
Le Schéma suivant est celui d'un compteur circulaire de Jhonson.

- 1) Faire le même travail que précédemment (compteur en anneau) sur ce nouveau schéma.
- 2) Quelle différence existe-t-il entre ce schéma et le précédent ? Quelle en est la conséquence sur le modulo et la fréquence des signaux de sortie ?

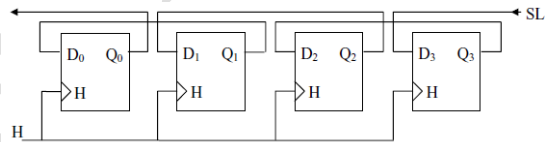


Exercice 6:

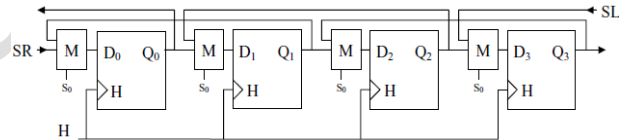
- 1) On considère le montage suivant. Quelle fonction a-t-on réalisée ?



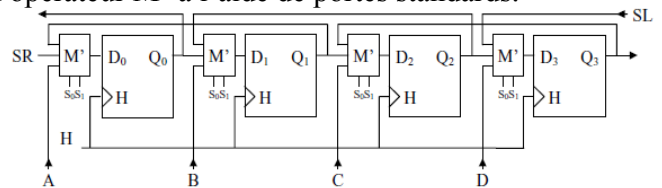
- 2) On considère le montage suivant. Quelle fonction a-t-on réalisée ?



- 3) On combine les deux fonctions précédentes selon le schéma suivant. Effectuer la synthèse d'un opérateur M à l'aide de portes standards.



- 4) On désire ajouter une fonction de chargement du mot formé par A, B, C, D en Q_0, Q_1, Q_2, Q_3 selon le schéma suivant. Effectuer la synthèse d'un opérateur M' à l'aide de portes standards.



Exercice 7:

Lors de la réalisation de son projet de fin d'études un étudiant se trouve obligé d'utiliser une solution basée sur un circuit intégré qu'il ne connaît pas. Dans de tels cas il est souvent indispensable de consulter le recueil des fiches techniques du fabricant pour connaître les spécifications de l'élément.

Le problème que voici vise à vous exercer à trouver les renseignements nécessaires au sujet d'un **circuit intégré** le **74LS169** . Consulter attentivement la fiche technique et répondre aux questions suivantes :

- 1) Quel est le type des bascules qu'il utilise, sur quel front sont-elles synchronisées ? En déduire le front de synchronisation du circuit intégré.
- 2) Donner le rôle des entrées *LOAD*, *A*, *B*, *C* et *D*.
- 3) Sur quel niveau sont activées les entrées *P* et *T*, en déduire la fonction *F* reliant *P*, *T* et *LOAD* ?

- 4 a) Donner les deux modes de fonctionnement du circuit.
- b) Comment on change d'un mode à un autre ?
- 5 Supposer vraies les conditions suivantes :
 $ABCD=1011$
 $P+T = \overline{P.T}=0$
 $LOAD=0$
 Indiquer les valeurs des sorties Q_A, Q_B, Q_C et Q_D .
- 6 Sachant que $LOAD=1$ compléter le tableau ci-contre :
- 7 Donner le nom complet de ce circuit.

Entrées			Sorties				
H	U/\overline{D}	$\overline{P.T}$	Q_D	Q_C	Q_B	Q_A	RCO
0	1	0	1	1	0	1	1
1	1	0					
2	1	0					
3	1	1					
4	0	0					
5	1	1					
6	1	0					
7	1	0					
8	1	0					
9	1	0					

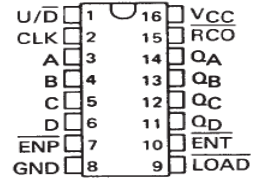
Fiche Technique

- Programmable Look-Ahead Up/Down Binary Counters
- Fully Synchronous Operation for Counting and Programming
- Internal Look-Ahead for Fast Counting
- Carry Output for n-Bit Cascading
- Fully Independent Clock Circuit



SN54LS169B, SN54S169 . . . J OR W PACKAGE
 SN74LS169B, SN74S169 . . . D OR N PACKAGE
 (TOP VIEW)

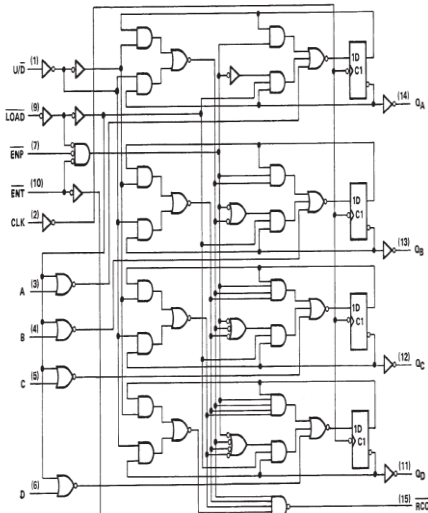
TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY		TYPICAL POWER DISSIPATION
	COUNTING UP	COUNTING DOWN	
'LS169B	35MHz	35MHz	100mW
'S169	70MHz	55MHz	500mW



description

These synchronous presettable counters feature an internal carry look-ahead for cascading in high speed counting applications. The 'LS169B and 'S169 are 4-bit binary counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincident with each other when so instructed by the count-enable inputs and internal gating. This mode of operation helps eliminate the output counting spikes that are normally associated with asynchronous (ripple-clock) counters. A buffered clock input triggers the four master-slave flip-flops on the rising (positive-going) edge of the clock waveform.

These counters are fully programmable; that is the outputs may each be preset to either level. The load input circuitry allows loading with the carry-enable output of cascaded counters. As loading is synchronous, setting up a low level at the load input disables the counter and causes the outputs to agree with the data inputs after



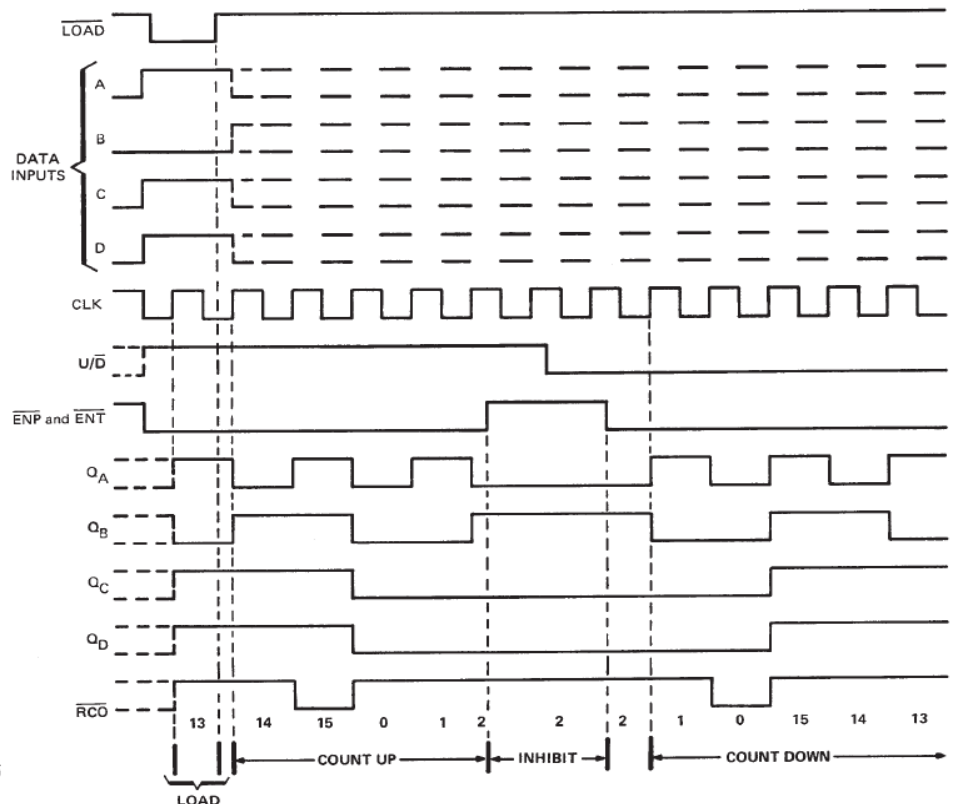
Pin numbers shown are for D, J, N, and W packages.

**SN54LS169B, SN54S169
 SN74LS169B, SN74S169**
SYNCHRONOUS 4-BIT UP/DOWN BINARY COUNTERS
 SDLS134 - OCTOBER 1976 - REVISED MARCH 1988


typical load, count, and inhibit sequences

Illustrated below is the following sequence:

1. Load (preset) to binary thirteen.
2. Count up to fourteen, fifteen (maximum), zero, one, and two.
3. Inhibit
4. Count down to one, zero (minimum), fifteen, fourteen, and thirteen.



Recueil
des Devoirs surveillés & Examens

	<h2 style="margin: 0;">DEVOIR SURVEILLÉ</h2>	<p style="text-align: center;"><i>INSTITUT SUPÉRIEUR DES ETUDES TECHNOLOGIQUES DE NABEUL</i></p> <hr/> <p style="text-align: center;">DÉPARTEMENT : GE</p>
<p>Module : Systèmes Logiques (1)</p> <p>Classes : GE1</p> <p>Date : / Novembre / 2013</p> <p>Heure : 9 H 00 min</p> <p>Durée : 1 H</p>	<p>Documents autorisés : Non <input checked="" type="checkbox"/> Oui <input type="checkbox"/></p> <p>Calculatrice autorisé : Non <input checked="" type="checkbox"/> Oui <input type="checkbox"/></p> <p>Nombre de pages : 2</p> <p>Enseignants : I. Azzouz , M ben Amara , A Dhouib</p>	

Exercice 1 : (2 points)

Exprimer le nombre décimal 14 dans les différents codes suivants :

- a- Code binaire pur , puis le convertir en code Gray,
- b- Code BCD.

Exercice 2 : (2 points)

Convertir en binaire les nombres décimaux suivants :

- a- 75,33
- b- 8,17
- c- 3,51
- d- 67,20

Exercice 3 : (4 points)

Effectuer les opérations arithmétiques suivantes

- a- $(F0D9)_{16} + (D1A)_{16} = (?)_{16}$
- b- $(10122)_4 + (1211)_4 = (?)_4$
- c- $(541)_8 + (237)_8 = (?)_8$
- d- $(AB72)_{16} + (CEF)_{16} = (?)_{16}$

Exercice 4 : (3 points)

Transcoder les nombres suivants et expliquer la méthode utilisée :

- a- $(57A)_{16} = (?)_4 = (?)_8$
- b- $(125)_6 = (?)_9$

Exercice 5 : (3 points)

Présenter les fonctions suivantes en utilisant uniquement des portes universelles NAND à deux entrées

- a- OU exclusif,
- b- ET logique ,
- c- OU logique.

Exercice 6 : (3 points)

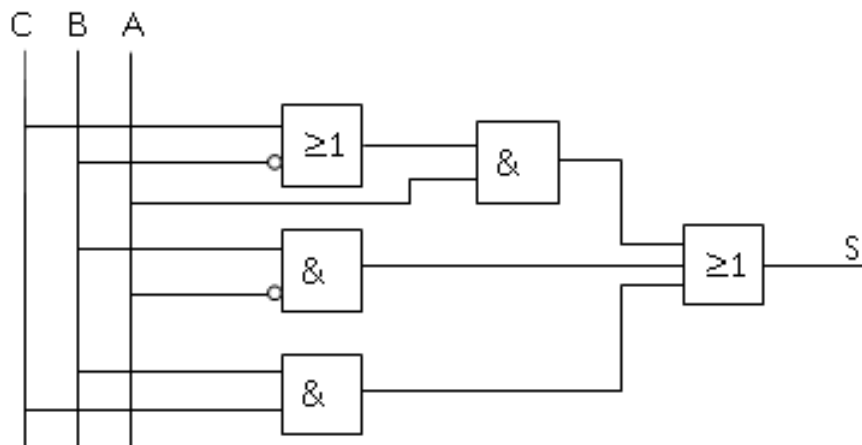
Simplifier les expressions logiques suivantes au moyen de l'algèbre de Boole :

$$E1 = A + B + \bar{B}.A.C$$


$$E2 = \bar{A} + A.B.C + B.\bar{C}$$

$$E3 = A.B.C + B.C + B.\bar{B}$$

Exercice 7 : (3 points)



- a- Déterminer l'état de sortie S en fonction des entrées A, B, C.
- b- Réaliser la fonction S à l'aide de l'opérateur universel NAND à deux entrées.

	<h2 style="margin: 0;">DEVOIR SURVEILLÉ</h2>	<p style="text-align: center;"><i>INSTITUT SUPÉRIEUR DES ETUDES TECHNOLOGIQUES DE NABEUL</i></p> <hr/> <p style="text-align: center;">DÉPARTEMENT : GE</p>
<p>Module : Systèmes Logiques (1)</p> <p>Classes : GE1</p> <p>Date : 18 / Novembre / 2014</p> <p>Heure : 10 H 30 min</p> <p>Durée : 1 H</p>	<p>Documents autorisés : Non <input checked="" type="checkbox"/> Oui <input type="checkbox"/></p> <p>Calculatrice autorisé : Non <input checked="" type="checkbox"/> Oui <input type="checkbox"/></p> <p>Nombre de pages : 2</p> <p>Enseignants : Mr. Nizar TOUJENI, Mr. Mahmoud BEN AMARA, Mr Walid FAZZANI</p>	

Exercice 1 : (6.5 points)

1. Remplissez ce tableau :

décimal	binaire	hexadécimal	BCD	binaire réfléchi
5				
	1101			
		13		
			00010110	
				10110

2. Effectuer les opérations binaires suivantes :

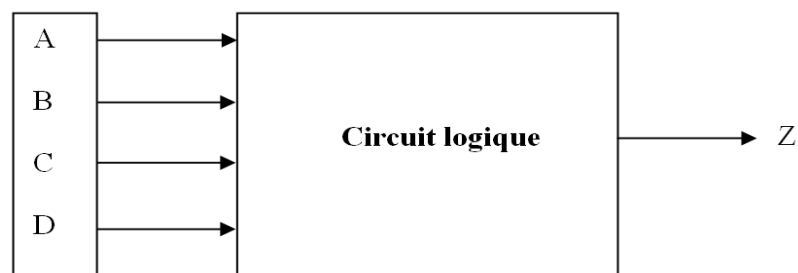
a. $1001 + 1101 + 110 + 1011$

b. $1100101001 - 110110110$

c. 110110×101

Exercice 2 : (7.5 points)

Considérons le circuit suivant :



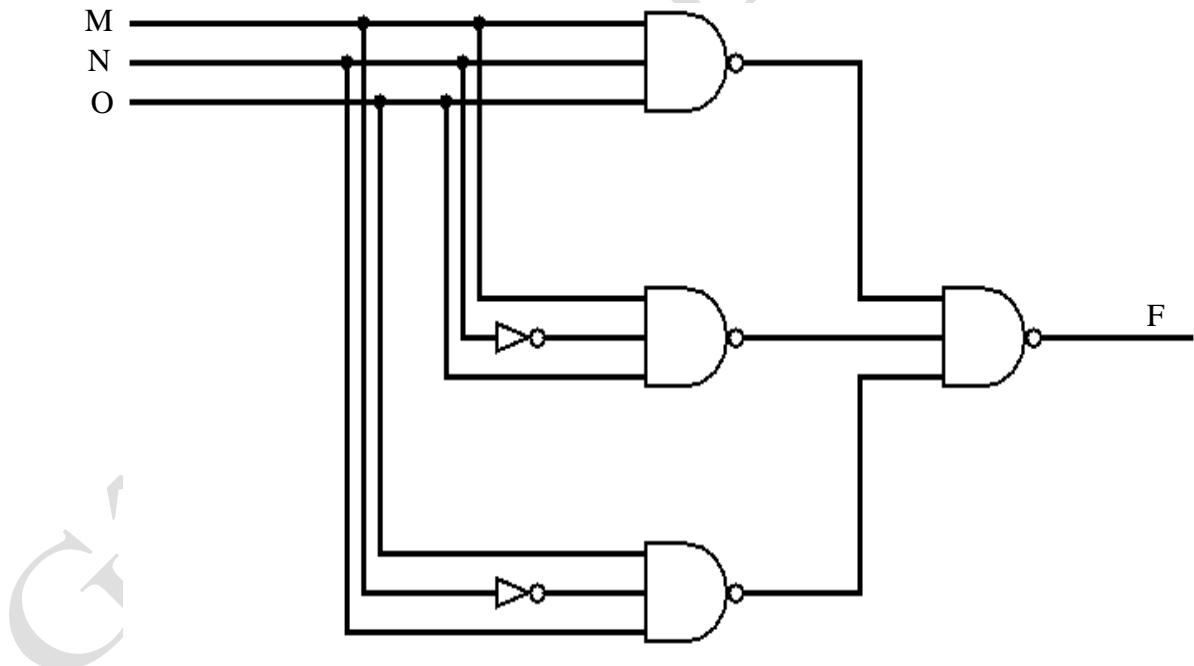
(**ABCD**) est un nombre binaire codé en **BCD (ou DCB)** dont le bit de poids fort est **A** et le bit de poids faible est **D**. Ces entrées binaires sont appliquées à un circuit logique qui donne en sortie un niveau haut (**Z=1**) quand le nombre est supérieur à **6 = (0110)₂**.

Sachant que les valeurs n'appartenant pas au code seront considérées comme états indifférents auxquels on affecte ϕ qui peut-être considéré "0" ou "1".

1. Dresser la table de vérité de ce circuit.
2. Dédire l'expression de **Z** sous forme canonique.
3. En utilisant la méthode algébrique, simplifier l'expression de **Z**.
4. A l'aide du tableau de Karnaugh, trouver le schéma de câblage de ce circuit à l'aide des portes "NAND" à 2 entrées.

Exercice 3 : (6 points)

Soit la fonction logique F donnée par le diagramme suivant :



1. Trouver l'expression logique de la fonction F.
2. Simplifier cette expression par la méthode algébrique.
3. Proposer un logigramme plus simple qui donne la fonction F.

Matière : Systèmes logiques (1)I
Classe : GE₁₁ → GE₁₆
Semestre : 1
Document : Non autorisé

Date :/11/2015
Durée : 1 heure
Nbre de pages : 2

Exercice 1 (5 points)

1) Convertir les nombres décimaux suivants :

$$124_{10} = (\dots ? \dots)_2$$

$$347_{10} = (\dots ? \dots)_8$$

$$5374_{10} = (\dots ? \dots)_{16}$$

2) Convertir les nombres suivants :

$$1101101101_2 = (\dots ? \dots)_8$$

$$10010110111_2 = (\dots ? \dots)_{16}$$

$$7526_8 = (\dots ? \dots)_{16}$$

Exercice 2 (5 points)

Sachant que l'on dispose de **8 bits** pour écrire les nombres avec leurs signes et qu'on utilise le complément à 2 (vrai) pour représenter les nombres négatifs :

1) Donner la représentation des nombres suivants en binaire :

$$a) +96_{10} = (\dots ? \dots)_2$$

$$b) +68_{10} = (\dots ? \dots)_2$$

$$c) +37_{10} = (\dots ? \dots)_2$$

$$d) -58_{10} = (\dots ? \dots)_2$$

$$e) -74_{10} = (\dots ? \dots)_2$$

$$f) -87_{10} = (\dots ? \dots)_2$$

2) Effectuer les opérations suivantes et donner le résultat en binaires :

$$a) (+68 + 37)_{10}$$

$$b) (+96 - 74)_{10}$$

$$c) (-87 - 74)_{10}$$

$$d) (-58 - 74)_{10}$$

Exercice 3 (4 points)

Exprimer les nombres **106₁₀** et **81₁₀** dans les différents codes suivants :

1) Code binaire naturel

2) Code binaire réfléchi


3) Code DCB (ou BCD)

Exercice 4 (6 points)

Etant donné la fonction logique $F_{a,b,c} = a\bar{b}\bar{c} + a\bar{b}c + a\bar{b}\bar{c} + abc$

- 1) Simplifier la fonction F
- 2) Donner le logigramme de la fonction F simplifiée
- 3) Représenter la fonction F simplifiée en utilisant des portes NAND à deux entrées et tracer le logigramme correspondant.

Gâaloul & B. Amara

	<h1>EXAMEN</h1>	<p style="text-align: center;"><i>INSTITUT SUPÉRIEUR DES ÉTUDES TECHNOLOGIQUES DE NABEUL</i></p> <hr/> <p style="text-align: center;">DÉPARTEMENT : GE</p>
<p>Module : Systèmes Logiques (1)</p> <p>Classes : GE1</p> <p>Date : / Janvier / 2014</p> <p>Heure : 9 H 00 min</p> <p>Durée : 1 H 30 min</p>	<p>Documents autorisés : Non <input checked="" type="checkbox"/> Oui <input type="checkbox"/></p> <p>Calculatrice autorisé : Non <input checked="" type="checkbox"/> Oui <input type="checkbox"/></p> <p>Nombre de pages : 2</p> <p>Enseignants : Mme Imen AZZOUZ, Mme Amina DHOUIB, Mr Mahmoud BEN AMARA</p>	

Exercice 1 : (5 points)

On désire comparer des deux nombres binaires A et B ayant chacun 2 bits (c'est-à-dire : $A=a_1a_0$ et $B=b_1b_0$). Nous disposons de 3 lampes L_1 , L_2 et L_3 qui sont allumées dans les conditions suivantes :

$$L_1=1 \text{ si } A>B,$$

$$L_2=1 \text{ si } A<B,$$

$$L_3=1 \text{ si } A=B.$$

- 1) Déterminer dans un tableau les différents cas possibles.
- 2) En déduire l'équation de chaque lampe pour les deux nombres binaires A et B à 2 bits.
- 3) Proposer un schéma de câblage.

Exercice 2 : (5 points)

Soit la fonction :

$$F_{(abcd)} = (a + \bar{b}).\overline{(c + \bar{d})}$$

- 1) Donner la table de vérité de cette fonction.
- 2) Réaliser cette fonction à l'aide d'un multiplexeur à 3 bits d'adresses (abc).
- 3) Réaliser cette fonction à l'aide d'un multiplexeur à 2 bits d'adresses (ab).

Exercice 3 : (4 points)

On donne ci-dessous la table de transcodage suivante :

Entrées			Sorties		
A ₃	A ₂	A ₁	B ₃	B ₂	B ₁
0	0	0	0	1	1
0	0	1	0	0	1
0	1	0	1	1	0
0	1	1	1	1	1
1	0	0	0	0	1
1	0	1	0	0	1
1	1	0	0	1	0
1	1	1	1	0	0

- 4) Donner les équations simplifiées des sorties du transcodeur.
- 5) Réaliser la fonction de sortie B₃ à l'aide des NAND à deux entrées.

Exercice 4 : (3 points)

- 6) Donner la table de vérité d'un additionneur complet (2 bits),
- 7) Déterminer les équations des sorties (S : somme , R : retenue),
- 4) En utilisant le schéma de câblage d'un demi additionneur, proposer le schéma de câblage d'un additionneur complet.

Exercice 5 : (3 points)

Trois interrupteur I₁, I₂ et I₃ commandent le démarrage de deux moteurs M₁ et M₂ selon les conditions suivantes :

Le moteur M₁ ne doit démarrer que si au moins deux interrupteurs sont fermés (I_i=1),

Dés qu'un ou plusieurs interrupteurs sont activés, le moteur M₂ doit démarrer.

- 1) Donner la table de vérité correspondante,
- 2) Déterminer les équations simplifiées des sorties M₁ et M₂,
- 3) Faire le logigramme de M₁ et M₂.

BON TRAVAIL

DIRECTION GENERALE DES ETUDES TECHNOLOGIQUES

Institut Supérieur des Etudes Technologiques de Nabeul

Examen : Systèmes Logiques (1)

Classes : GE11, GE12, GE13, GE14, GE15 et GE16

Proposé par : W. EL FEZZANI, M. BEN AMARA et N. TOUJENI

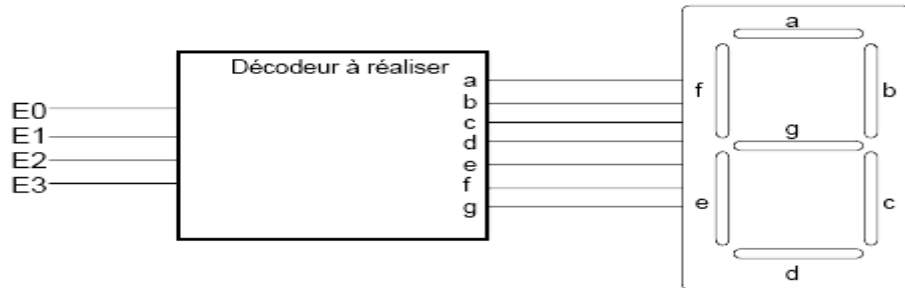
Durée : 1h:30

Date : 6 janvier 2015

Heure : 09 h :00

Exercice 1 :

On se propose de réaliser un décodeur "BCD / 7segments" illustré par la figure ci-dessous :



Il faut réaliser la fonction qui fait correspondre aux variables d'entrées E0, E1, E2 et E3 l'allumage correct des segments de l'afficheur a, b, c, d, e, f et g.

Exemple : Chiffre 1 = Segments à allumer b et c

Chiffre 5 = Segments à allumer a, c, d, f, g



Ci-dessous le tableau Décimal / Binaire avec nos 4 variables d'entrées E0, E1, E2 et E3. On fait correspondre à ce tableau l'allumage des 7 segments ('a' à 'g').

1-) Remplir les colonnes a, b, c, d, e, f et g.

Chiffre	E3	E2	E1	E0	a	b	c	d	e	f	g
0	0	0	0	0							
1	0	0	0	1							
2	0	0	1	0							
3	0	0	1	1							
4	0	1	0	0							
5	0	1	0	1							
6	0	1	1	0							
7	0	1	1	1							
8	1	0	0	0							
9	1	0	0	1							
10	1	0	1	0	Φ	Φ	Φ	Φ	Φ	Φ	Φ
11	1	0	1	1	Φ	Φ	Φ	Φ	Φ	Φ	Φ
12	1	1	0	0	Φ	Φ	Φ	Φ	Φ	Φ	Φ
13	1	1	0	1	Φ	Φ	Φ	Φ	Φ	Φ	Φ
14	1	1	1	0	Φ	Φ	Φ	Φ	Φ	Φ	Φ
15	1	1	1	1	Φ	Φ	Φ	Φ	Φ	Φ	Φ

2-) Déterminer les équations des différents segments.

.....

DIRECTION GENERALE DES ETUDES TECHNOLOGIQUES

Institut Supérieur des Etudes Technologiques de Nabeul

Examen : Systèmes Logiques (1)

Classes : GE11, GE12, GE13, GE14,
GE15 et GE16

Proposé par : W. EL
FEZZANI, M. BEN AMARA
et N. TOUJENI
Heure : 09 h :00

Durée : 1h:30

Date : 6 janvier 2015

.....

.....

.....

.....

.....

.....

.....

.....

3-) Simplifier les équations de a, b, c, d, e, f et g en utilisant la méthode du Tableau de KARNAUGH.

E1 E0 E3 E2	00	01	11	10
00				
01				
11				
10				

a

a=.....
=.....
=.....
=.....

E1 E0 E3 E2	00	01	11	10
00				
01				
11				
10				

b

b=.....
=.....
=.....
=.....

E1 E0 E3 E2	00	01	11	10
00				
01				
11				
10				

c

c=.....
=.....
=.....
=.....

E1 E0 E3 E2	00	01	11	10
00				
01				
11				
10				

d

d=.....
=.....
=.....
=.....

E1 E0 E3 E2	00	01	11	10
00				
01				
11				
10				

e

e=.....
=.....
=.....
=.....

E1 E0 E3 E2	00	01	11	10
00				
01				
11				
10				

F

f=.....
=.....
=.....
=.....

E1 E0 E3 E2	00	01	11	10
00				
01				
11				
10				

d

g=.....
=.....
=.....
=.....

DIRECTION GENERALE DES ETUDES TECHNOLOGIQUES

Institut Supérieur des Etudes Technologiques de Nabeul

Examen : Systèmes Logiques (1)

Classes : GE11, GE12, GE13, GE14,
GE15 et GE16

Proposé par : W. EL
FEZZANI, M. BEN AMARA
et N. TOUJENI
Heure : 09 h :00

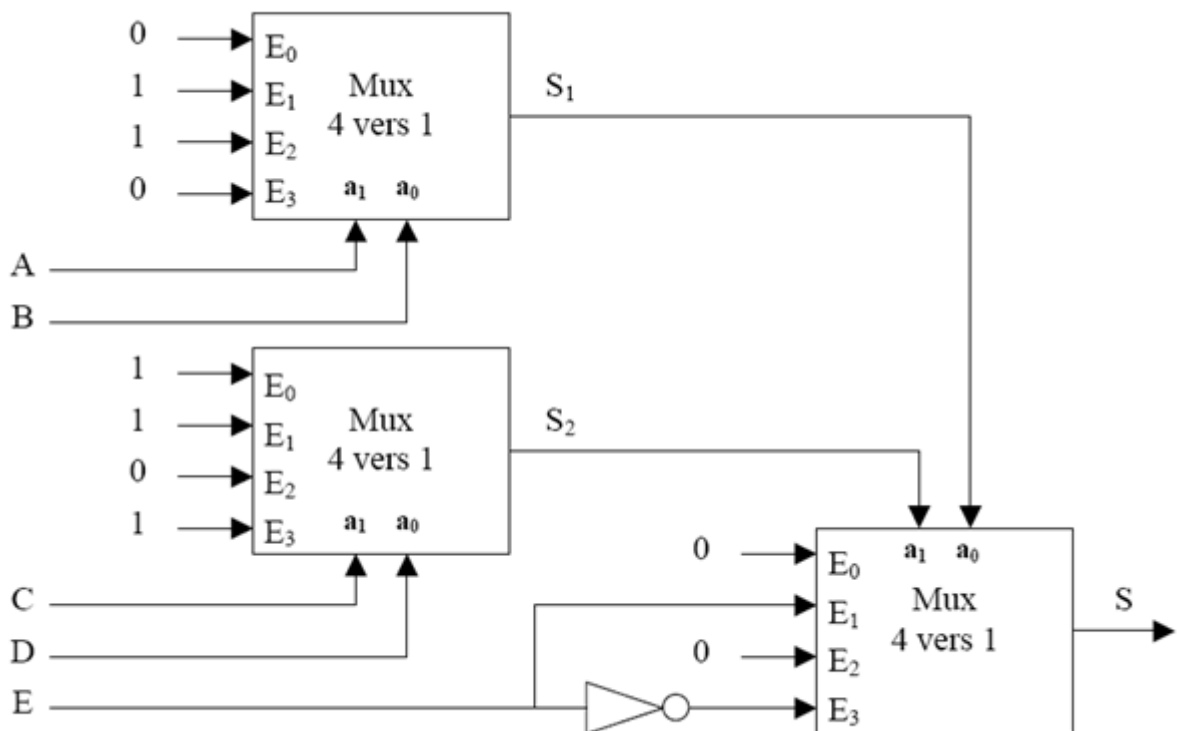
Durée : 1h:30

Date : 6 janvier 2015

- 4-) Ecrivez toutes les équations (a, b, c, d, e, f et g) avec des portes NAND à 2 entrées.
5-) Tracer le logigramme correspondant

Exercice 2 :

Soit le montage suivant :



- 1-) Donnez l'équation de S en fonction de A, B, C, D, et E
2-) Tracer le logigramme correspondant

DIRECTION GENERALE DES ETUDES TECHNOLOGIQUES

Institut Supérieur des Etudes Technologiques de Nabeul

Examen : Systèmes Logiques (1)

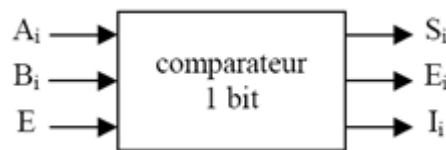
Classes : GE11, GE12, GE13, GE14,
GE15 et GE16Proposé par : W. EL
FEZZANI, M. BEN AMARA
et N. TOUJENI
Heure : 09 h :00

Durée : 1h:30


Date : 6 janvier 2015

Exercice 3 :

1-) Donner l'équation d'un comparateur 1 bit pourvu d'une entrée E autorisant la comparaison. Si $E=0$, toutes les sorties valent 0, sinon le fonctionnement est le suivant :

 $S_i=1$ si $a_i > b_i$, 0 sinon $E_i=1$ si $a_i = b_i$, 0 sinon $I_i=1$ si $a_i < b_i$, 0 sinon

2-) Donner l'implantation d'un comparateur de deux nombres $A=a_2a_1a_0$ et $B=b_2b_1b_0$ en utilisant des comparateurs 1 bit et des portes OR

	<h1>EXAMEN JANVIER 2016</h1>	INSTITUT SUPÉRIEUR DES ETUDES TECHNOLOGIQUES DE NABEUL
		DÉPARTEMENT : GE
Examen de : Systèmes logiques (1) Classes : GE11...GE16 Date : 05./ Janvier / 2016 Documents : Non autorisés	Durée : 1 H 30 min Heure : 11 ^H Nombre de pages : 2 Barème : 7 – 8 – 5	
Préparé par : Mr BEN AMARA M., Mr FEZZANI W, Mr GAALOUL K.		

Exercice 1 (7 points [2, 2, 3])

Dans une usine de fabrication de boîtes on effectue un contrôle de qualité selon 3 critères :

- Poids **P**, (0 incorrect, 1 correct)
- Diamètre **D**, (" , ")
- Hauteur **H**, (" , ")

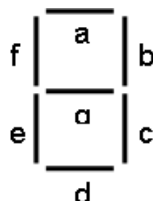
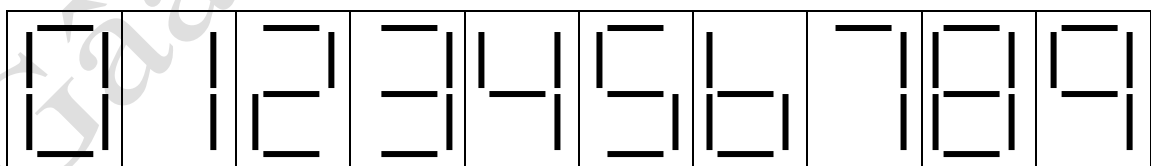
Cela permet de classer les boîtes en 3 catégories :

- Qualité **A** : Le poids **P** et une de deux dimensions au moins sont corrects,
- Qualité **B** : Le poids **P** seul est correct ou une de deux dimensions au moins est correcte,
- Qualité **C** : Le poids **P** et les deux dimensions sont incorrects.

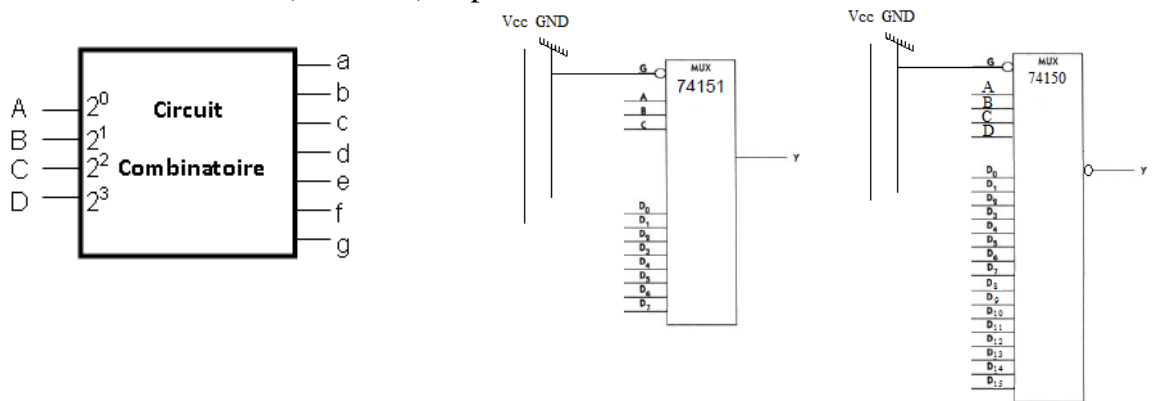
- 3) Tracer la table de vérité du système,
- 4) Donner les expressions simplifiées des sorties **A**, **B** et **C** en utilisant le tableau de Karnaugh.
- 5) Dessiner le logigramme des sorties **A**, **B** et **C** en utilisant des portes **NOR** deux entrées.

Exercice 2 (8 points [2, 1.5, 4.5])

L'afficheur à 7 segments est un circuit intégré formé de 7 diodes lumineuses en forme de bâtonnets permettant de représenter tout chiffre (0 à 9),



On veut réaliser le circuit combinatoire permettant de piloter l’afficheur à 7 segments, qui a pour entrée un code BCD : (D C B A) et pour sorties les segments **a, b, c, d, e, f** et **g**



G: entrée de validation.

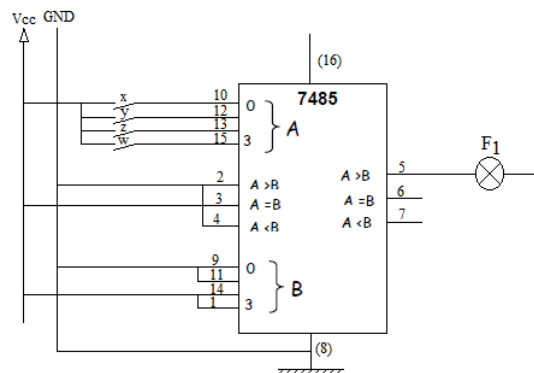
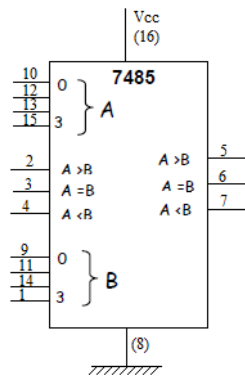
- 1) Donner la table de vérité des sorties **d, e, et f** sachant que **A** est le bit au poids le plus faible. les sorties seront considérées indéterminées (ϕ) pour les combinaisons d’entrée non valides.
- 2) Ecrire les expressions des sorties **d, e, et f** sous la première forme canonique ($\Sigma\Pi$), puis sous forme d’une somme décimale $\Sigma(\dots)$.
- 3) Donner le schéma de réalisation des sorties : **d** à l’aide d’un multiplexeur^(*) **16 vers 1** et **e et f** à l’aide de deux multiplexeurs **8 vers 1**,

^(*) On vous donne ci-dessus les schémas des Mux à utiliser !

Exercice 3 (5 points)

On donne ci-contre le schéma de brochage du circuit intégrée 74HC85 qui est un comparateur logique 4bits

- 3) Dessiner un schéma de câblage à l’aide du comparateur « 4 bits » 7485 qui nous permet de comparer deux nombres binaires A et B à trois bits $A=(a_2a_1a_0)_2$ et $B=(b_2b_1b_0)_2$
- 4) Le schéma logique suivant, est celui d’un circuit combinatoire à base du comparateur 4 bits qui nous permet de générer une fonction logique $F_1(wzyx)$. Déduire l’expression de F_1 sous forme d’une somme décimale puis sous sa première forme canonique.



Bon travail



**DEVOIR SURVEILLE NOV. 2013
(Corrigé)**

INSTITUT SUPÉRIEUR DES
ÉTUDES TECHNOLOGIQUES
DE NABEUL
DÉPARTEMENT : GE

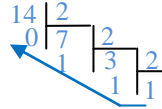
Exercice 1 : (2 points)

Exprimer le nombre décimal 14 dans les différents codes suivants :

a- Code binaire pur(ou binaire naturel BN) , puis le convertir en code Gray(ou binaire réfléchi BR),

$$(14)_{10} = (1110)_{BN}$$

$$= (1001)_{BR}$$



b- Code BCD.

$$(14)_{10} = (0001\ 0100)_{BCD}$$

Exercice 2 : (4 points)

Convertir en binaire les nombres décimaux suivants :

a-

$$0,33 \times 2 = 0,66$$

$$0,66 \times 2 = 1,32$$

$$0,32 \times 2 = 0,64$$

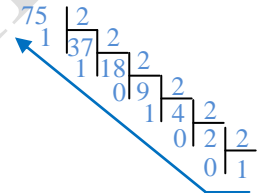
$$0,64 \times 2 = 1,28$$

$$0,28 \times 2 = 0,56$$

$$0,56 \times 2 = 1,12$$

$$0,12 \times 2 = 0,24$$

$$(75,33)_{10} = (1001011, 010101)_2$$



on s'arrête à ce niveau car la précision (2^{-7}) est meilleur que 1/100 !

b-

$$0,17 \times 2 = 0,34$$

$$0,34 \times 2 = 0,68$$

$$0,68 \times 2 = 1,36$$

$$0,36 \times 2 = 0,72$$

$$0,72 \times 2 = 1,44$$

$$0,44 \times 2 = 0,88$$

$$0,88 \times 2 = 1,76$$

$$(8,17)_{10} = (10000, 0010101)_2$$

c-

$$0,51 \times 2 = 1,02$$

$$0,02 \times 2 = 0,04$$

$$0,04 \times 2 = 0,08$$

$$0,08 \times 2 = 0,16$$

$$0,16 \times 2 = 0,32$$

$$0,32 \times 2 = 0,66$$

$$0,66 \times 2 = 1,32$$

$$(3,51)_{10} = (111, 1000001)_2$$

d-

$$0,20 \times 2 = 0,40$$

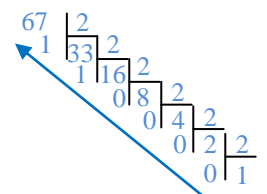
$$0,40 \times 2 = 0,80$$

$$0,80 \times 2 = 1,60$$

$$0,60 \times 2 = 1,20$$

$$0,20 \times 2 = 0,40$$

$$(67,20)_{10} = (1000011, 0011\dots)_2$$



On s'arrête puisque ça devient cyclique

Exercice 3 : (2 points)

Effectuer les opérations arithmétiques suivantes

a)	b)	c)	d)
F0D9	10122	541	AB72
+ D1A	+ 1211	+ 237	+ CEF
= FE03	= 11333	= 1000	= B861

Exercice 4 : (3 points)

Transcoder les nombres suivants et expliquer la méthode utilisée :

- a) Par conversion rapide : $B_{16} \Rightarrow B_2 \Rightarrow B_4$ ou de $B_2 \Rightarrow B_4$
 $16 = 2^4 \Rightarrow$ chaque chiffre de la base (16) est représenté par quatre bits dans la base (2)
 $4 = 2^2$ chaque 2 bits de la base (2) sont représentés par un chiffre de B4

$$(57A)_{16} = (\underline{0101} \underline{0111} \underline{1010})_2 = (111322)_4 = (\underline{0101} \underline{0111} \underline{1010})_2 = (2572)_8$$

- b) $B_6 \Rightarrow B_{10}$ (par développement polynomial) $\Rightarrow B_9$ (par divisions successives).

$$(125)_6 = 5x6^0 + 2x6^1 + 1x6^2 = 5 + 12 + 36 = (53)_{10} = (58)_9$$

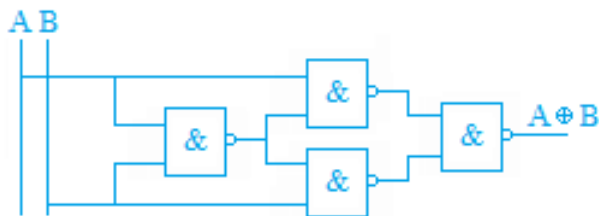
Exercice 5 : (3 points)

Présenter les fonctions suivantes en utilisant uniquement des portes universelles NAND à deux entrées

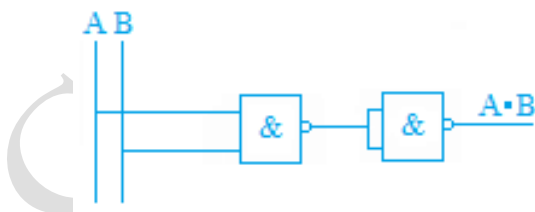
- a- OU exclusif,

$$A \oplus B = \overline{A} \cdot B + A \cdot \overline{B} = \overline{A \cdot B} + \overline{A \cdot \overline{B}} = \overline{A \cdot B} \cdot \overline{A \cdot \overline{B}}, \text{ puisque } \overline{A \cdot B} = B \cdot \overline{A \cdot B} \text{ et } \overline{A \cdot \overline{B}} = A \cdot \overline{A \cdot \overline{B}}$$

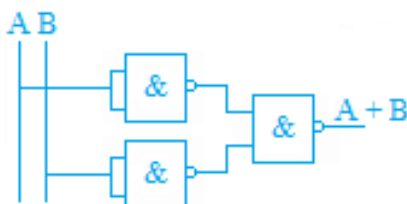
$$= \overline{B \cdot \overline{A \cdot B}} \cdot \overline{A \cdot \overline{A \cdot \overline{B}}} = [B|(A|B)][A|(A|B)]$$



- b- ET logique, $A \cdot B = \overline{A \cdot \overline{B}} = (A|B)|(A|B)$ ou $(A|B)|1$



- c- OU logique. $A + B = \overline{\overline{A + B}} = \overline{\overline{A} \cdot \overline{B}} = (A|B)|(B|B)$



Exercice 6 : (3 points)

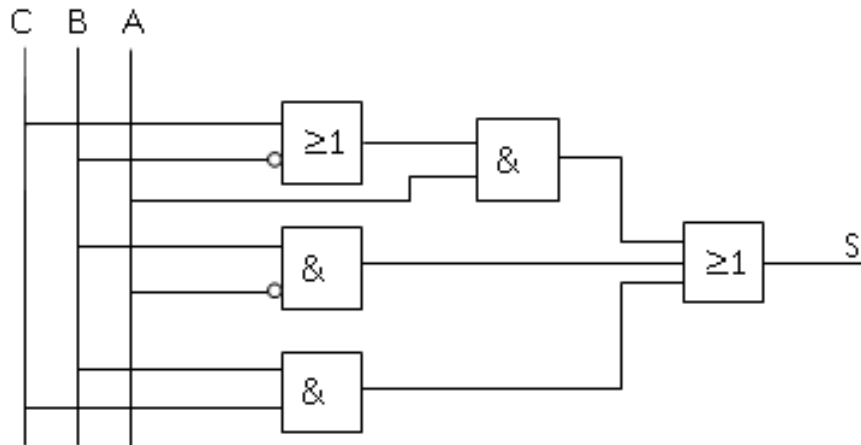
Simplifier les expressions logiques suivantes au moyen de l'algèbre de Boole :

$$E1 = A+B + \overline{B}.\overline{A}.C = (A+B) + (\overline{A+B}).C \text{ sachant que } X+\overline{X}.C = X+C \implies E1 = A+B+C$$

$$E2 = \overline{A} = A.B.C + B.\overline{C} = \overline{A} + B.C + B.\overline{C} = \overline{A} + B.(C + \overline{C}) \implies E2 = A + B$$

$$E3 = A.B.C + B.C + B.\overline{B} , \text{ puisque } B.\overline{B}=0 \implies E3=B.C$$

Exercice 7 : (3 points)



a- Déterminer l'état de sortie S en fonction des entrées A, B, C.

$$S = A.(C + \overline{B}) + \overline{A}.B + B.C = A.C + A.\overline{B} + \overline{A}.B + B.C = \implies S = A.C + \overline{A}.B + A.\overline{B}$$

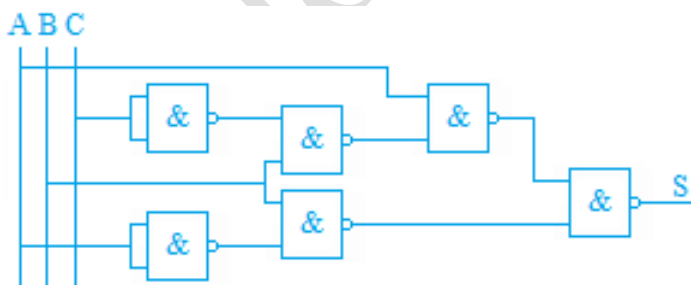
ou $S = B.C + \overline{A}.B + A.\overline{B}$

b- Réaliser la fonction S à l'aide de l'opérateur universel NAND à deux entrées.

$$S = A.C + \overline{A}.B + A.\overline{B} = \overline{\overline{A.C + \overline{A}.B + A.\overline{B}}} = \overline{\overline{A.C + \overline{A}.B} . \overline{A.\overline{B}}} = [A|\overline{(C+\overline{B})}]|[(A|A)|B]$$

$$= [A|(\overline{\overline{C.B}})]|[(A|A)|B]$$

$$= [A|((C|C)|B)]|[(A|A)|B]$$





**DEVOIR SURVEILLE NOV. 2014
(Corrigé)**

INSTITUT SUPÉRIEUR DES
ÉTUDES TECHNOLOGIQUES
DE NABEUL
DÉPARTEMENT : GE

Exercice 1 : (6.5 points)

1. Remplissez ce tableau :

décimal	binaire	hexadécimal	BCD	binaire réfléchi
27	11011	1B	00100111	10110
13	1101	D	00010011	1011
19	10011	13	00010011	11010
16	10000	10	00010110	11000
27	11011	1B	00100111	10110

2. Effectuer les opérations binaires suivantes :

a)

$$\begin{array}{r} + 1001 \\ + 1101 \\ + 110 \\ + 1011 \\ \hline = 100111 \end{array}$$

b)

$$\begin{array}{r} 1100101001 \\ - 110110110 \\ \hline = 101110011 \end{array}$$

c)

$$\begin{array}{r} 110110 \\ \times 101 \\ \hline 110110 \\ 110110 \\ \hline = 100001110 \end{array}$$

Exercice 2 : (7.5 points)

1. Table de vérité :

A	B	C	D	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	φ
1	0	1	1	φ
1	1	0	0	φ
1	1	0	1	φ
1	1	1	0	φ
1	1	1	1	φ

2. Expression de Z sous sa 1^{ère} forme canonique :

$$\begin{aligned} Z &= \Sigma \Pi \\ Z &= \bar{a}bcd + a\bar{b}\bar{c}d + a\bar{b}cd \\ &= \Sigma(7,8,9) \end{aligned}$$

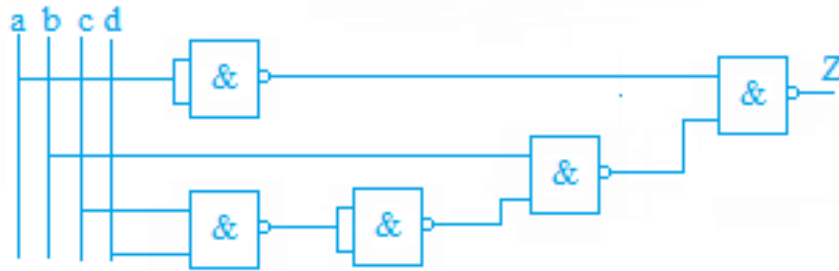
3. Simplification algébrique de Z :

$$\begin{aligned} Z &= \bar{a}bcd + a\bar{b}\bar{c}d + a\bar{b}cd \\ &= \bar{a}bcd + a\bar{b}\bar{c}(\bar{d} + d) \\ \boxed{Z} &= \bar{a}bcd + a\bar{b}\bar{c} \end{aligned}$$

4. A l'aide du tableau de Karnaugh, trouver le schéma de câblage de ce circuit à l'aide des portes "NAND" à 2 entrées.

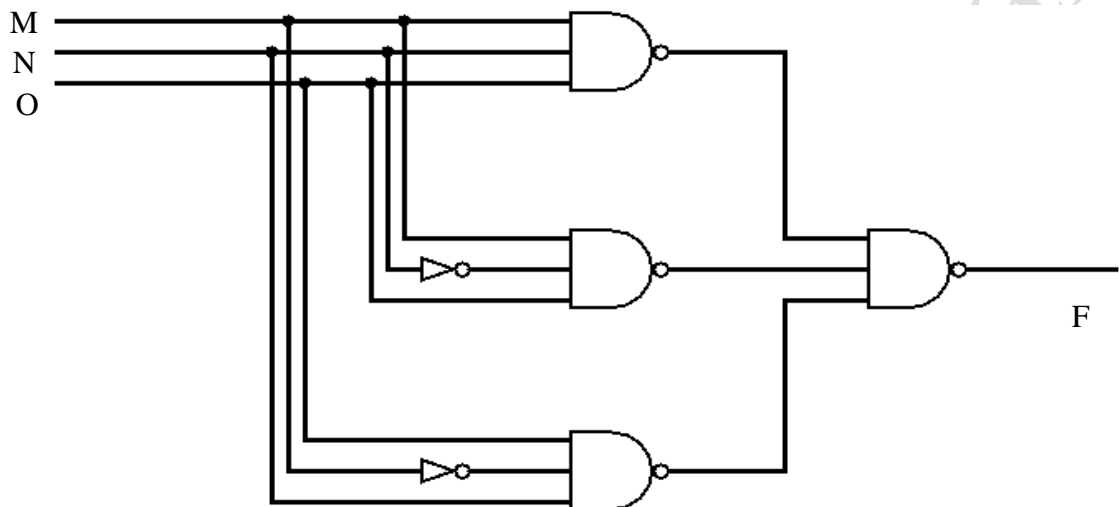
cd \ ab	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	φ	φ	φ	φ
10	1	1	φ	φ

$$\begin{aligned} \boxed{Z} &= a + bcd \\ Z &= \overline{\overline{a + bcd}} \\ &= \overline{a \cdot \overline{bcd}} \\ &= a \cdot \overline{[(b \cdot (c \cdot d))]} = (a|a)[b|((c|d)|1)] \end{aligned}$$



Exercice 3 : (6 points)

Soit la fonction logique F donnée par le diagramme suivant :



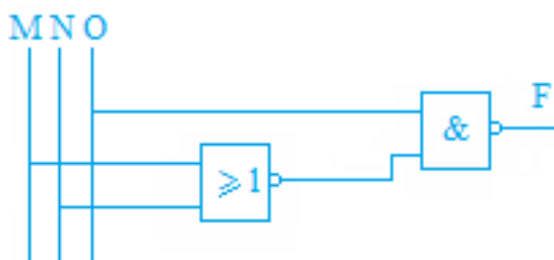
1. Trouver l'expression logique de la fonction F.

$$\begin{aligned}
 F &= (M \cdot N \cdot O) \vee (M \cdot N \cdot \bar{O}) \vee (\bar{M} \cdot N \cdot O) \\
 &= \overline{(M \cdot N \cdot O) \cdot (M \cdot N \cdot \bar{O}) \cdot (\bar{M} \cdot N \cdot O)} \\
 F &= (M \cdot N \cdot O) \cdot (M \cdot \bar{N} \cdot O) \cdot (\bar{M} \cdot N \cdot O) \\
 F &= \Sigma(7, 5, 3)
 \end{aligned}$$

2. Simplifier cette expression par la méthode algébrique.

$$\begin{aligned}
 F &= N \cdot O (\bar{M} + M) + M \cdot O (\bar{N} + N) \\
 F &= O \cdot (M + N)
 \end{aligned}$$

3. Proposer un logigramme plus simple qui donne la fonction F.





**DEVOIR SURVEILLE NOV. 2015
(Corrigé)**

INSTITUT SUPÉRIEUR DES
ETUDES TECHNOLOGIQUES
DE NABEUL
DÉPARTEMENT : GE

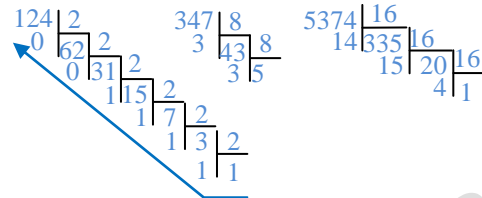
Exercice 1 (4,5 points)

1) Convertir les nombres décimaux suivants :

$$124_{10} = (1111100)_2$$

$$347_{10} = (533)_8$$

$$5374_{10} = (14FE)_{16}$$



2) Convertir les nombres suivants :

$$1101101101_2 = (1555)_8$$

$$10010110111_2 = (4B7)_{16}$$

$$7526_8 = ((111101010110)_2) = (F56)_{16}$$

Exercice 2 (5 points)

Sachant que l'on dispose de **8 bits** pour écrire les nombres avec leurs signes et qu'on utilise le complément à 2 (vrai) pour représenter les nombres négatifs :

5) Donner la représentation des nombres suivants en binaire :

g) $+96_{10} = (01100000)_{CV}$ Bit de signe "+"

h) $+68_{10} = (01000100)_{CV}$

i) $+37_{10} = (00100101)_{CV}$

j) $-58_{10} = (11000110)_{CV}$

k) $-74_{10} = (10110110)_{CV}$

l) $-87_{10} = (10101001)_{CV}$

6) Effectuer les opérations suivantes et donner le résultat en binaires :

Avec un format **fixe** de 8 bits, l'intervalle autorisé en complément à 2 est : $-128 \leq N \leq +127$

a)	b)	c)	d)
$+68 : 01000100$	$+94 : 01100000$	$-87 : 10101001$	$-58 : 11000110$
$+37 : 00100101$	$-74 : 10110110$	$-74 : 10110110$	$-74 : 10110110$
$= 01101001$	$= *0010110$	$= *01011111$	$= *01111100$

Ce résultat correspond
Bien à +105

Le résultat est correct
et la retenue sur 9^e bit
est à rejeter

Ce résultat pas correct
($N < -128$) et le signe
de la somme ne peut être >0

même conclusion
que précédemment

Exercice 3 (4,5 points)

Exprimer les nombres 106_{10} et 81_{10} dans les différents codes suivants :

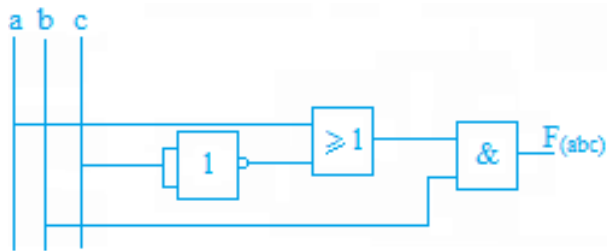
1) Code binaire naturel	$(106)_{10}$	$(81)_{10}$
2) Code binaire réfléchi	$(1101010)_{BN}$	$(1010001)_{BN}$
3) Code DCB (ou BCD)	$(1101010)_{BR}$	$(1010001)_{BR}$
	$(0001000001100)_{BCD}$	$(0001000001100)_{BCD}$

Exercice 4 (6 points)

1) Simplification de la fonction F :

$$\begin{aligned}
 F_{(abc)} &= abc + ab\bar{c} + a\bar{b}\bar{c} + \bar{a}b\bar{c} \\
 F_{(abc)} &= ab(c + \bar{c}) + \bar{c}(a + \bar{a}) \\
 F_{(abc)} &= ab + \bar{c} \\
 F_{(abc)} &= b(a + \bar{c})
 \end{aligned}$$

2) Le logigramme de la fonction F :



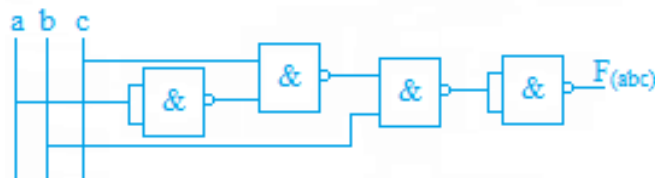
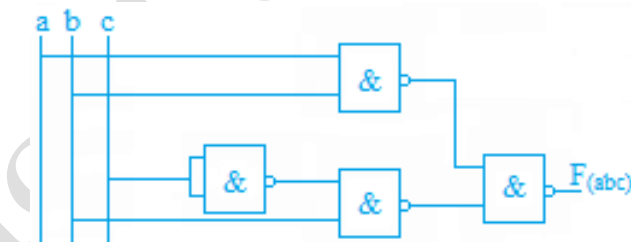
3) Représenter la fonction F simplifiée en utilisant des portes NAND à deux entrées et tracer le logigramme correspondant.

$$\begin{aligned}
 F_{(abc)} &= \overline{\overline{ab} + \overline{bc}} = \overline{\overline{ab} \cdot \overline{bc}} \\
 &= [(a | b) | (b | c | c)]
 \end{aligned}$$

Ou

$$\begin{aligned}
 F_{(abc)} &= \overline{\overline{b \cdot (a + \bar{c})}} = \overline{\overline{b \cdot (a + \bar{c})}} \\
 &= \overline{\overline{b \cdot \overline{\bar{a} \cdot c}}} \\
 &= [b | ((a | a) | c)] | 1
 \end{aligned}$$

Ou





**EXAMEN JANVIER 2014
(Corrigé)**

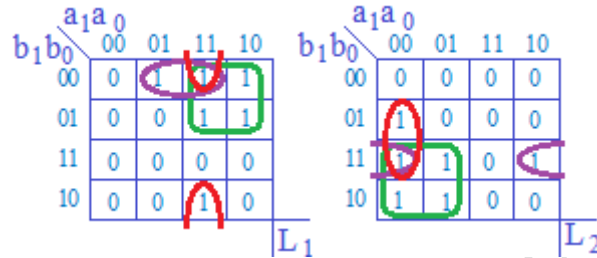
INSTITUT SUPÉRIEUR DES
ETUDES TECHNOLOGIQUES
DE NABEUL
DÉPARTEMENT : GE

Exercice 1 : (5 points)

1) Table de vérité :

B		A		L ₁	L ₂	L ₃
b ₁	b ₀	a ₁	a ₀			
0	0	0	0	0	0	1
0	0	0	1	1	0	0
0	0	1	0	1	0	0
0	0	1	1	1	0	0
0	1	0	0	0	1	0
0	1	0	1	0	0	1
0	1	1	0	1	0	0
0	1	1	1	1	0	0
1	0	0	0	0	1	0
1	0	0	1	0	1	0
1	0	1	0	0	0	1
1	0	1	1	1	0	0
1	1	0	0	0	1	0
1	1	0	1	0	1	0
1	1	1	0	0	1	0
1	1	1	1	0	0	1

2°) Equations des sorties :

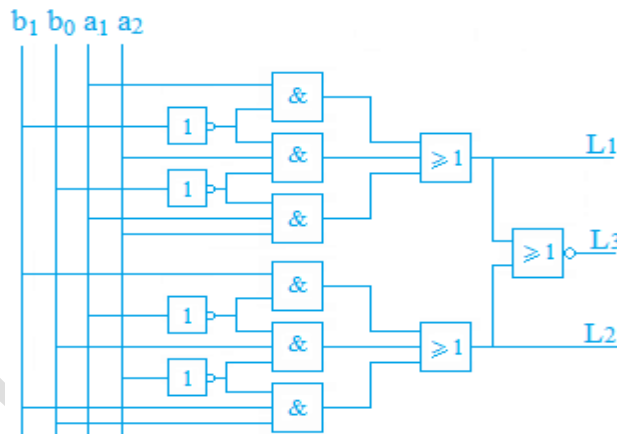


$$L_1 = a_1 \bar{b}_1 + a_0 \bar{b}_1 \bar{b}_0 + \bar{b}_0 a_1 a_0$$

$$L_2 = b_1 \bar{a}_1 + b_0 \bar{a}_1 \bar{a}_0 + \bar{a}_0 b_1 b_0$$

$$L_3 = \bar{L}_1 + \bar{L}_2 = (\bar{a}_0 \oplus \bar{b}_0) + (a_1 \oplus b_1)$$

3) Schéma logique :



Exercice 2 : (5 points)

1) Donner la table de vérité de cette fonction.

$$\begin{aligned} F_{(abcd)} &= (a + \bar{b}).(\bar{c} + \bar{d}) \\ &= (a + \bar{b}).(\bar{c}.d) \\ &= acd + \bar{b}cd = \bar{a}cd(b + \bar{b}) + \bar{b}cd(a + \bar{a}) \\ &= abcd + a\bar{b}cd + \bar{a}bcd + \bar{a}\bar{b}cd \end{aligned}$$

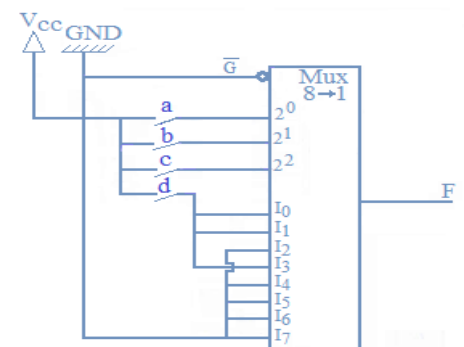
$$F_{(abcd)} = abcd + a\bar{b}cd + \bar{a}bcd \Rightarrow F_{(abcd)} = \Sigma(8;9;11)$$

d	c	b	a	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

2) Réaliser cette fonction à l'aide d'un multiplexeur à 3 bits d'adresses (abc).

(d) étant le bit de poids le plus fort et (a) le bit le de poids moins fort, F_(abcd) peut s'écrire :

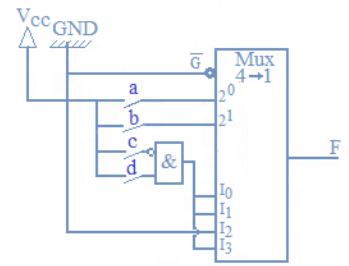
$$F_{(abcd)} = \Sigma(8 ; 9 ; 11) = d.F_{(abc)} = d.\Sigma(0 ; 1 ; 3)$$



- 3) Réaliser cette fonction à l'aide d'un multiplexeur à 2 bits d'adresses (ab).

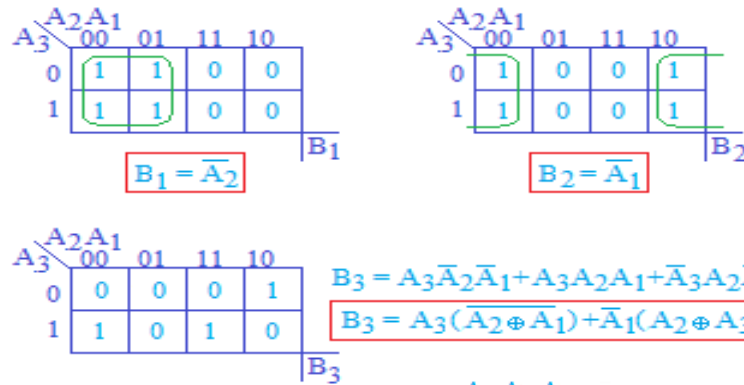
On peut écrire dans ce cas :

$$F_{(ab)} = d.\bar{c}.F_{(ab)} = d.\bar{c}.\Sigma(0; 1; 3)$$



Exercice 3 : (4 points)

- 1) Donner les équations simplifiées des sorties du transcodeur.

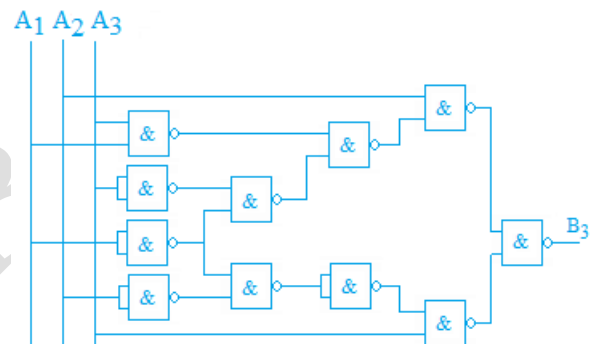


- 2) Réaliser la fonction de sortie B₃ à l'aide des NAND à deux entrées.

$$B_3 = \overline{A_2 \cdot (A_3 \cdot A_1 + A_3 \cdot \bar{A}_1) + (A_3 \cdot A_2 \cdot \bar{A}_1)}$$

$$= \overline{A_2 \cdot (A_3 \cdot A_1 + A_3 \cdot \bar{A}_1) \cdot (A_3 \cdot A_2 \cdot \bar{A}_1)}$$

$$B_3 = [A_2 \cdot ((\bar{A}_3 \bar{A}_1) \cdot (A_3 \bar{A}_1))] \cdot (A_3 \cdot (\bar{A}_2 \bar{A}_1))$$



Exercice 4 : (3 points)

- 1) Table de vérité :



bn	an	Rn-1	Sn	Rn
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

- 2) Equations des sorties :

$$S_n = \bar{a}_n \bar{b}_n R_{n-1} + a_n \bar{b}_n \bar{R}_{n-1} + \bar{a}_n b_n \bar{R}_{n-1} + a_n b_n R_{n-1}$$

$$= (\bar{a}_n \bar{b}_n + a_n b_n) R_{n-1} + (a_n \bar{b}_n + \bar{a}_n b_n) \bar{R}_{n-1}$$

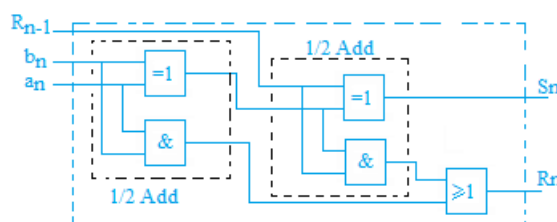
$$= (a_n \oplus b_n) R_{n-1} + (a_n \oplus b_n) \bar{R}_{n-1}$$

$$S_n = a_n \oplus b_n \oplus R_{n-1}$$

$$R_n = a_n \bar{b}_n R_{n-1} + \bar{a}_n b_n R_{n-1} + a_n b_n \bar{R}_{n-1} + a_n b_n R_{n-1}$$

$$R_{n-1} = a_n b_n + R_{n-1} (a_n \oplus b_n)$$

- 3) Schéma logique :



Exercice 5 : (3 points)

2) Donner la table de vérité correspondante,

I1	I2	I3	M1	M2
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	1
1	0	0	0	1
1	0	1	1	1
1	1	0	1	1
1	1	1	1	1

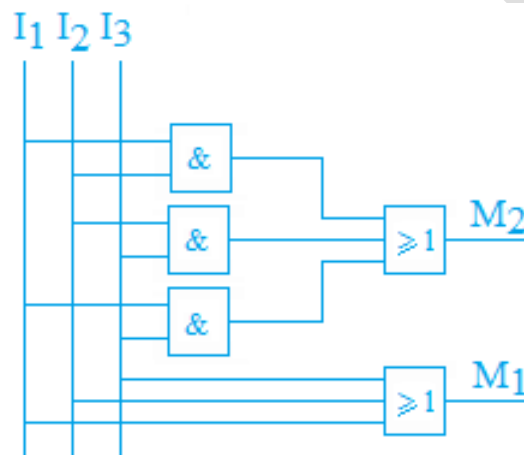
3) Les équations simplifiées des sorties M₁ et M₂,

$$M_1 = \bar{I}_3 \cdot I_2 \cdot I_1 + I_3 \cdot \bar{I}_2 \cdot I_1 + I_3 \cdot I_2 \cdot \bar{I}_1 + I_3 \cdot I_2 \cdot I_1$$

$$M_1 = I_2 \cdot I_1 + I_3 \cdot I_1 + I_3 \cdot I_2$$

$$M_2 = I_1 + I_2 + I_3$$

4) Faire le logigramme de M₁ et M₂.





EXAMEN JANVIER 2016 (Corrigé)

INSTITUT SUPÉRIEUR DES
ETUDES TECHNOLOGIQUES
DE NABEUL

DÉPARTEMENT : GE

EX1 (7 points)

1°) Table de vérité:

P	D	H	A	B	C
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	0
0	1	1	0	1	0
1	0	0	0	1	0
1	0	1	1	0	0
1	1	0	1	0	0
1	1	1	1	0	0

2°) Expressions des sorties A, B et C:

C = ? On peut la lire directement de la table de vérité.

$$C = \overline{P} \cdot \overline{D} \cdot \overline{H}$$

A = ?

P \ DH	00	01	11	10
0	0	0	0	0
1	0	1	0	1

$$A = PH + PD$$

$$\Rightarrow A = P \cdot (H + D)$$

B = ?

P \ DH	00	01	11	10
0	0	1	0	1
1	1	0	0	0

$$B = \overline{P} \cdot H + \overline{P} \cdot D + P \cdot \overline{D} \cdot \overline{H}$$

$$= \overline{P} \cdot (H + D) + P \cdot \overline{D} \cdot \overline{H}$$

$$= \overline{P} \cdot (H + D) + P \cdot (\overline{H} + \overline{D})$$

$$\Rightarrow B = P \oplus (H + D)$$

3°) Logigramme avec NOR à 2 entrées:

$$- C = \overline{P} \cdot (\overline{H} \cdot \overline{D}) = \overline{(\overline{P} \cdot \overline{D}) + H} = \overline{P + (H + D)}$$

$$= \overline{P + (\overline{H} + \overline{D})}$$

$$= P \downarrow [(H \downarrow D) \downarrow 0]$$

$$- A = \overline{\overline{P} \cdot (H + D)} = \overline{\overline{P} + \overline{(H + D)}}$$

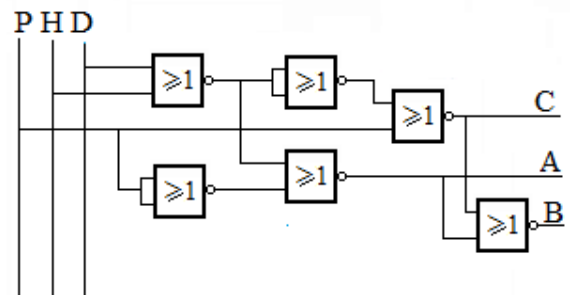
$$= (P \downarrow P) \downarrow (H \downarrow D)$$

$$- B = \overline{\overline{P \oplus (H + D)}} = \overline{\overline{P} \cdot \overline{(H + D)} + P \cdot (H + D)}$$

$$B = \overline{\overline{P} \cdot (\overline{H + D}) + P \cdot (H + D)}$$

$$B = \overline{\overline{P} + (\overline{H + D}) + P + (H + D)}$$

$$B = [P \downarrow ((H \downarrow D) \downarrow 0)] \downarrow [(P \downarrow P) \downarrow (H \downarrow D)]$$



EX2 (8 points)

1°) Table de vérité de d, e et f:

	2 ³	2 ²	2 ¹	2 ⁰	d	e	f
D	0	0	0	0	1	1	1
C	0	0	0	1	0	0	0
B	0	0	1	0	1	1	0
A	0	0	1	1	1	0	0
D	0	1	0	0	0	0	1
C	0	1	0	1	1	0	1
B	0	1	1	0	1	1	1
A	0	1	1	1	0	0	0
D	1	0	0	0	1	1	1
C	1	0	0	1	0	0	1
B	1	0	1	0	∅	∅	∅
A	1	0	1	1	∅	∅	∅
D	1	1	0	0	∅	∅	∅
C	1	1	0	1	∅	∅	∅
B	1	1	1	0	∅	∅	∅
A	1	1	1	1	∅	∅	∅

2°) Expressions de d, e et f:

$$d = \overline{D} \overline{C} \overline{B} \overline{A} + \overline{D} \overline{C} B \overline{A} + \overline{D} C \overline{B} \overline{A} + \overline{D} C B \overline{A} + \overline{D} C B A + \overline{D} C \overline{B} A$$

$$+ \overline{D} C B A$$

$$d = \Sigma(0; 2; 3; 5; 6; 8)$$

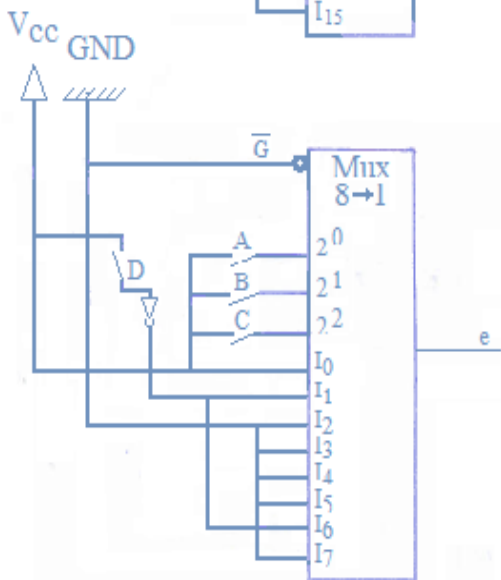
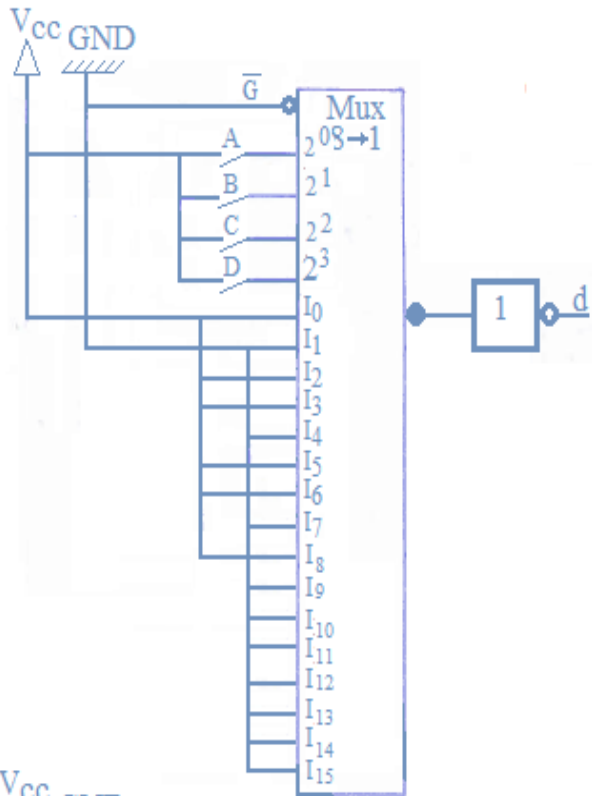
$$e = \overline{D} \overline{C} \overline{B} \overline{A} + \overline{D} \overline{C} B \overline{A} + \overline{D} C \overline{B} \overline{A} + \overline{D} C B \overline{A}$$

$$e = \Sigma(0; 2; 6; 8)$$

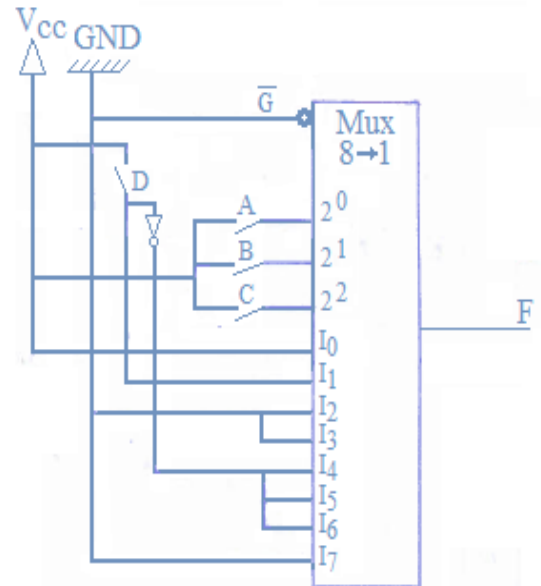
$$f = \overline{D}\overline{C}\overline{B}\overline{A} + \overline{D}\overline{C}\overline{B}A + \overline{D}\overline{C}B\overline{A} + \overline{D}\overline{C}BA + \overline{D}C\overline{B}\overline{A} + \overline{D}C\overline{B}A$$

$$f = \Sigma(0;4;5;6;8;9)$$

3°) Schémas logiques à l'aide des Mux:



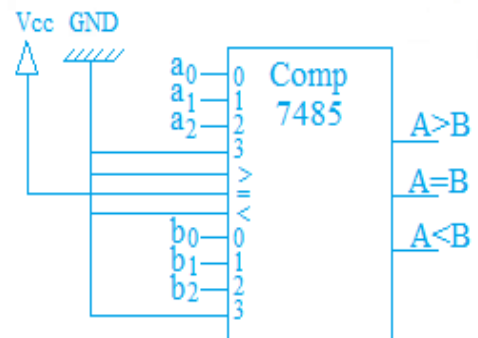
		CBA							
D		000	001	010	011	100	101	110	111
0		0	1	2	3	4	5	6	7
1		8	9	10	11	12	13	14	15
		I ₀	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇
		1	0	0	0	0	0	0	0



		CBA							
D		000	001	010	011	100	101	110	111
0		0	1	2	3	4	5	6	7
1		8	9	10	11	12	13	14	15
		I ₀	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇
		1	0	0	0	0	0	0	0

EX3 (5 points)

1°) Comparateur 3 bits



2°) $F_1 = ?$

$A(wzyx)_2$ et $B=(1100)_2 = (12)_{10}$

F_1 vaut 1 pour $(A)_{10} > (12)_{10}$

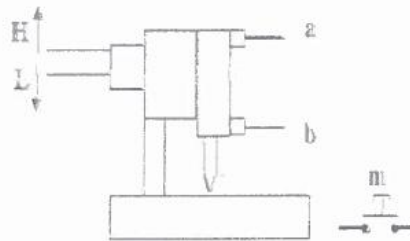
$F_1 = \Sigma(13;14;15)$

$$F_1 = wzyx + wzy\bar{x} + wzyx$$

Module : Systèmes logiques				Classes : 1 ^{ère} année GE	
Date : .../04/2015	Durée : 1h	Nb pages : 04	Docs : <u>Non autorisés</u>	Calc : <u>Non autorisées</u>	
Nom et Prénom :				Classe :	

Synthèse des systèmes logiques séquentiels asynchrones par la méthode de Huffman :

A. Cahier de charges :



Le système est constitué de :

- Un capteur de position haute (**a**).
- Un capteur de position basse (**b**).
- Un bouton poussoir de marche (**m**).
- Un moteur commandable dans deux sens: (**L**) pour la descente et (**H**) pour la montée.

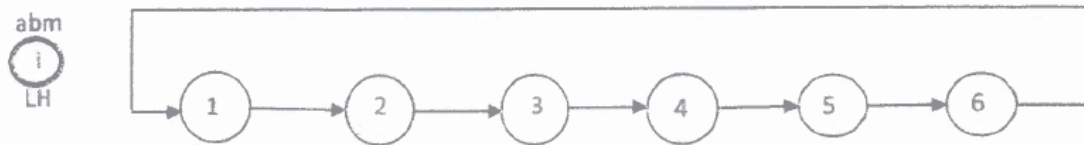
Le fonctionnement du système est comme suit : la perceuse est initialement en position haute (**a**). Lorsque l'opérateur appuie sur le bouton marche (**m**), la perceuse descend jusqu'à la position basse (**b**) pour, ainsi, effectuer le perçage de la pièce. Elle doit, ensuite, remonter à sa position initiale. Le même cycle est relancé de nouveau à l'activation du bouton (**m**).

B. Travail demandé :

- Effectuer la synthèse du système par la méthode de Huffman.
- Transformer les équations trouvées en utilisant des portes Nand à 2 entrées.
- Représenter le schéma électrique ainsi que son logigramme en utilisant des portes Nand à 2 entrées.
- Compléter le schéma de câblage en utilisant le brochage normalisé.

Document Réponse

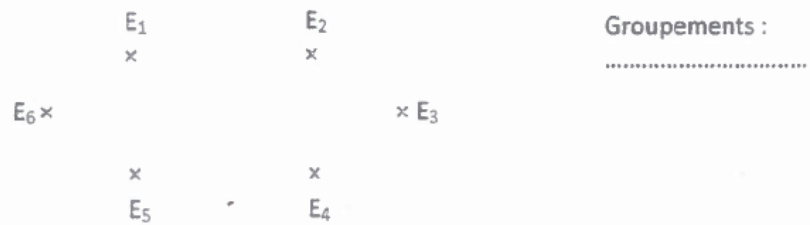
1) Diagramme des états (des transitions) :



2) Matrice primitive :

abm \ Etats	000	001	011	010	110	111	101	100	L	H
E ₁										
E ₂										
E ₃										
E ₄										
E ₅										
E ₆										

3) Simplification et Polygone de liaison :



4) Matrice réduite :

abm \ Etats	000	001	011	010	110	111	101	100

5) Matrice réduite codée :

abm \ Etats	000	001	011	010	110	111	101	100
x								

6) Matrice d'excitation secondaire X :

abm \ x	000	001	011	010	110	111	101	100
0								
1								

Equation :

.....

7) Matrice des sorties L et H:

abm \ x	000	001	011	010	110	111	101	100
0								
1								

abm \ x	000	001	011	010	110	111	101	100
0								
1								

Equations :

.....

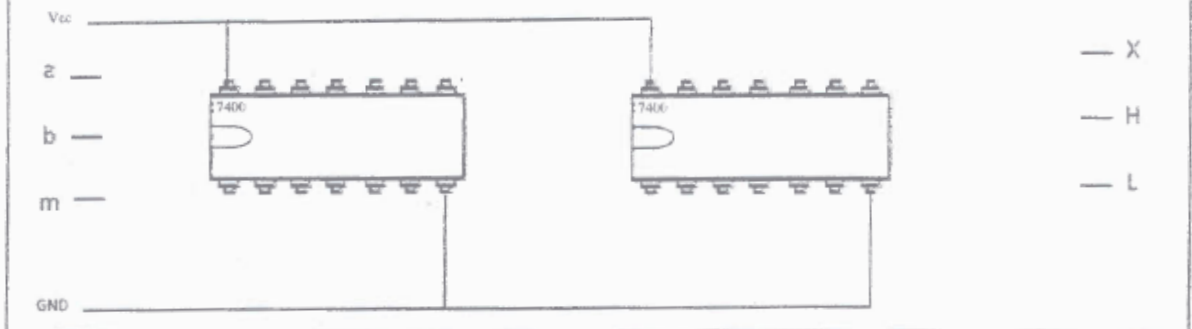
8) Schéma électrique :



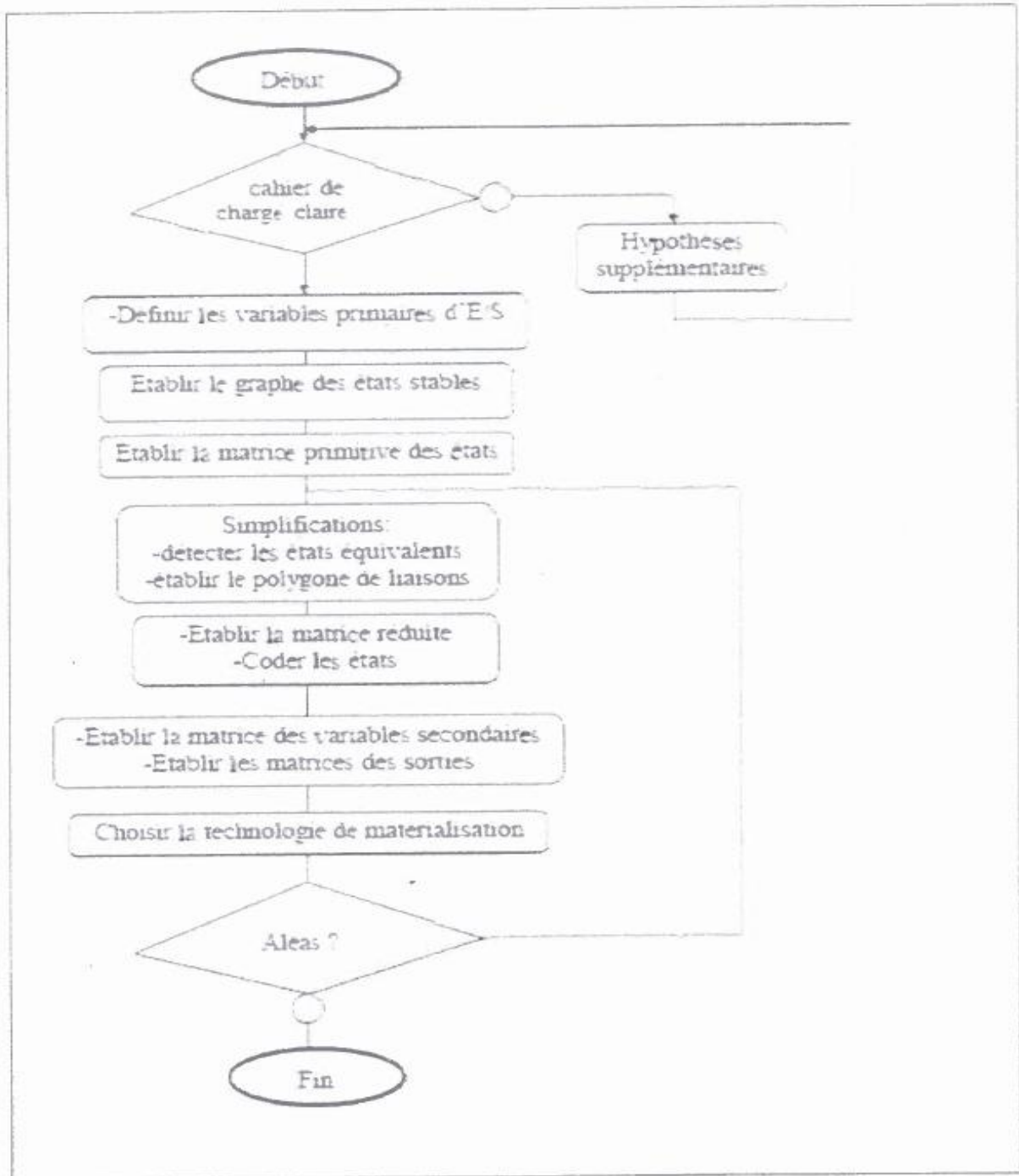
9) Logigramme :



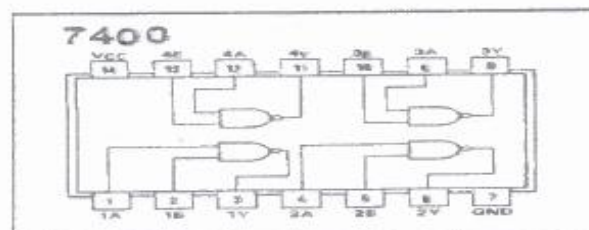
10) Compléter le schéma de câblage :



Annexes




Méthode de Huffman :



Brochage du circuit 7400

<i>Examen de</i> : Systèmes logiques	<i>Documents</i> : Non autorisés
<i>Classes</i> : GE11...GE16	<i>Durée</i> : 1 H 30 min
<i>Date</i> : / Juin / 2014	<i>Heure</i> :
<i>Nom et Prénom</i> :	<i>Nombre de pages</i> : 4
.....	<i>Barème</i> : 2 - 6 - 6 - 6

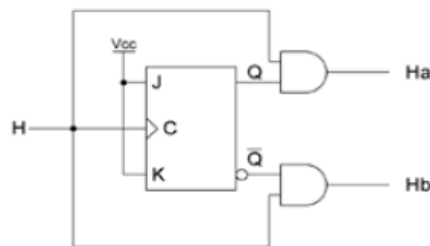


EXAMEN JUIN 2014

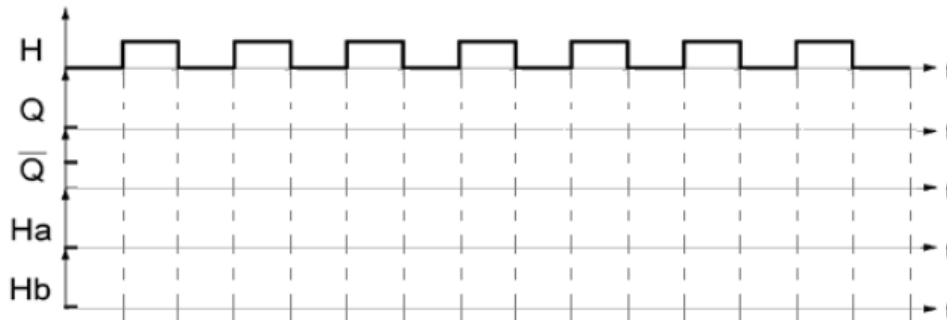
INSTITUT SUPÉRIEUR DES
ÉTUDES TECHNOLOGIQUES
DE NABEUL

DÉPARTEMENT : GE

Exercice 1 : (2 points)

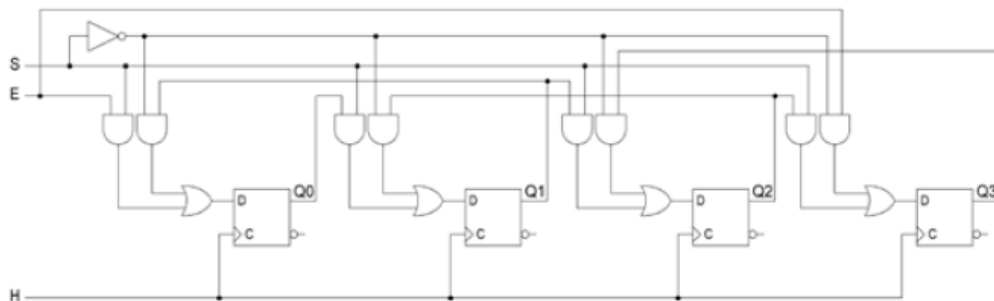


A partir de la figure ci-dessus compléter le chronogramme suivant :



Exercice 2 : (6 points)

Soit le montage ci-dessous





EXAMEN JUIN 2014

INSTITUT SUPÉRIEUR DES
ÉTUDES TECHNOLOGIQUES
DE NABEUL

DÉPARTEMENT : GE



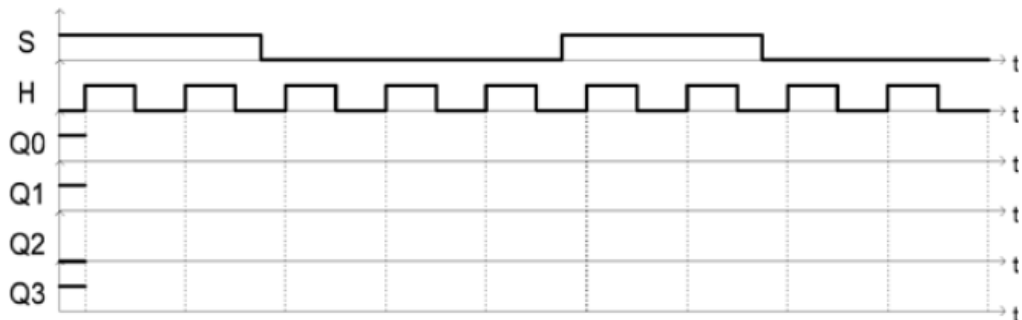
1. En supposant que l'entrée S soit toujours à 1, que réalise ce montage ?

.....

2. En supposant que l'entrée S soit toujours à 0, que réalise ce montage ?

.....

3. En supposant que l'entrée E soit toujours à 0, remplissez le chronogramme ce dessous :

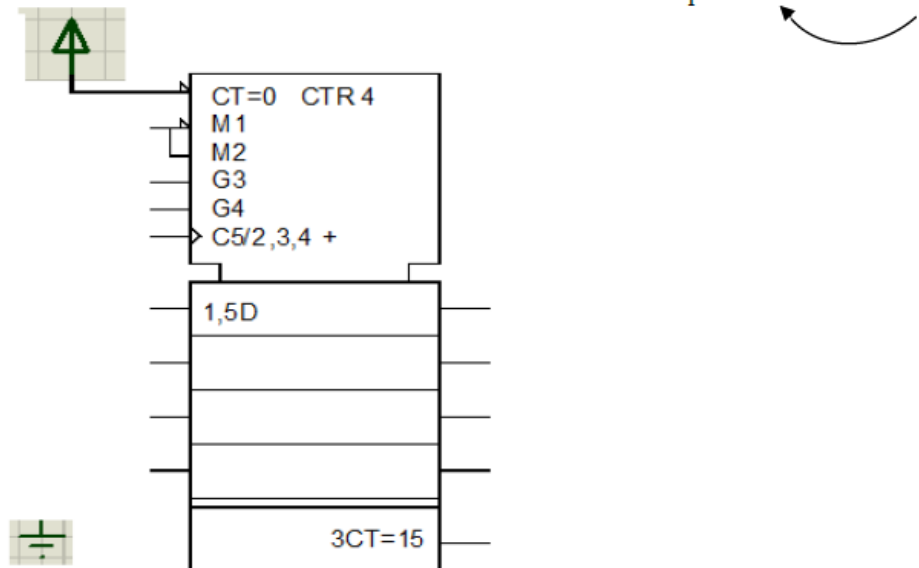


Exercice 3 : (6 points)

1. Compléter le tableau ci-dessous qui correspond au compteur intégrés 74161 (voir annexe)

Nom	Entrée ou sortie	Actif à quel niveau (haut/bas) ou front	Action réalisée
CT =0
M 1/M2
G3
C5

2. Compléter le montage ci-dessous pour avoir un compteur modulo 11 avec la séquence 5 → 6 → ... → 15





EXAMEN JUIN 2014

INSTITUT SUPÉRIEUR DES
ETUDES TECHNOLOGIQUES
DE NABEUL

DÉPARTEMENT : GE



Exercice 4 : (6 points)

Faire la synthèse d'un compteur synchrone qui compte selon la valeur de sélecteur S tel que

S = 0	0 - 2 - 4 - 6
S = 1	1 - 3 - 5 - 7

Proposer un schéma de réalisation en utilisant des bascules DH↓

Réponse :

S	Etat présent			Etat futur		
	Q2	Q1	Q0	Q2	Q1	Q0

$Q_1 Q_0$				
$S Q_2$	00	01	11	10
00				
01				
11				
10				

D0 =

$Q_1 Q_0$				
$S Q_2$	00	01	11	10
00				
01				
11				
10				

D1 =

$Q_1 Q_0$				
$S Q_2$	00	01	11	10
00				
01				
11				
10				

D2 =

Montage :



EXAMEN JUIN 2014

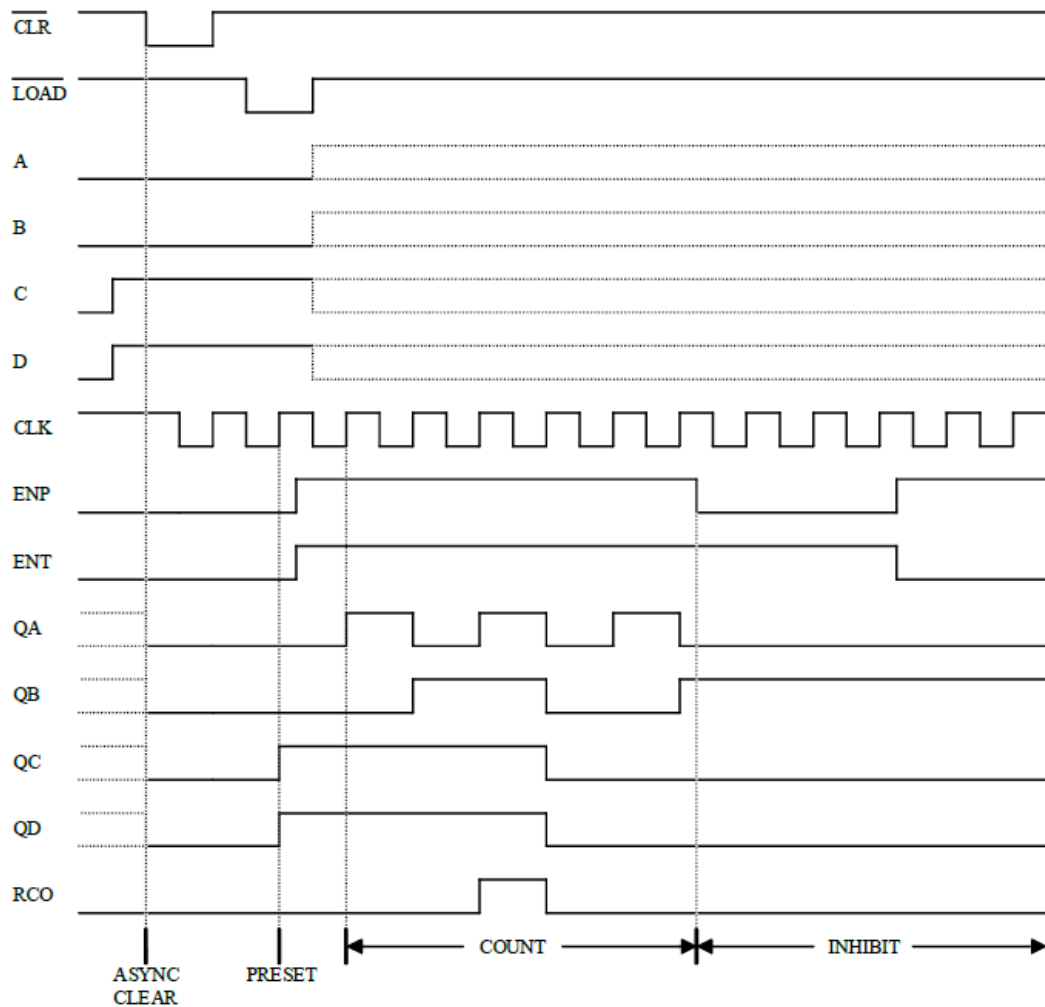
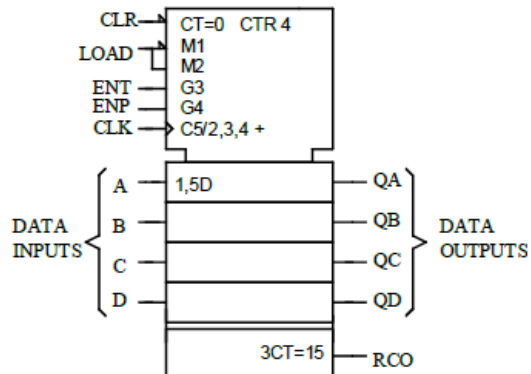
INSTITUT SUPÉRIEUR DES
ÉTUDES TECHNOLOGIQUES
DE NABEUL

DÉPARTEMENT : GE



Annexe

Symbole et fonctionnement du compteur 4 bits (ou compteur par 16) 74LS161



Examen de : Systèmes logiques (2)

Classes : GE11...GE16

Date : 09/ Juin / 2015

Nom et Prénom :

Documents

: Non autorisés

Durée

: 1 H 30 min

Heure

: 9^H00

Nombre de pages

: 4

Barème

: 5 – 6 – 9

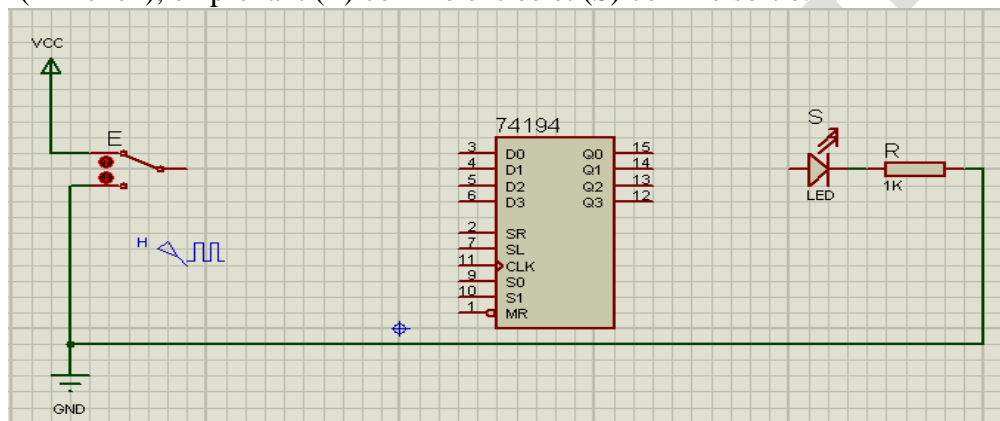


EXAMEN JUIN 2015

**INSTITUT SUPÉRIEUR DES
ETUDES
TECHNOLOGIQUES DE
NABEUL
DÉPARTEMENT : GE**

Exercice 1 : (1°) 3pts 2°) a) 1 pt b) 1pt)

- 1) Compléter le schéma suivant pour réaliser un registre "SISO" à décalage à droite avec le CI :74LS194 (Annexe1), en prenant (E) comme entrée et (S) comme sortie.



- 2) $\overline{MR} = "1"$,

supposons qu'on a chargé le registre par (ABCD)=(0110) avec $(S_1S_0)=(11)$.

Puis on revient au mode $(S_1S_0)=(01)$,

- a- Que signifie ce mode ?

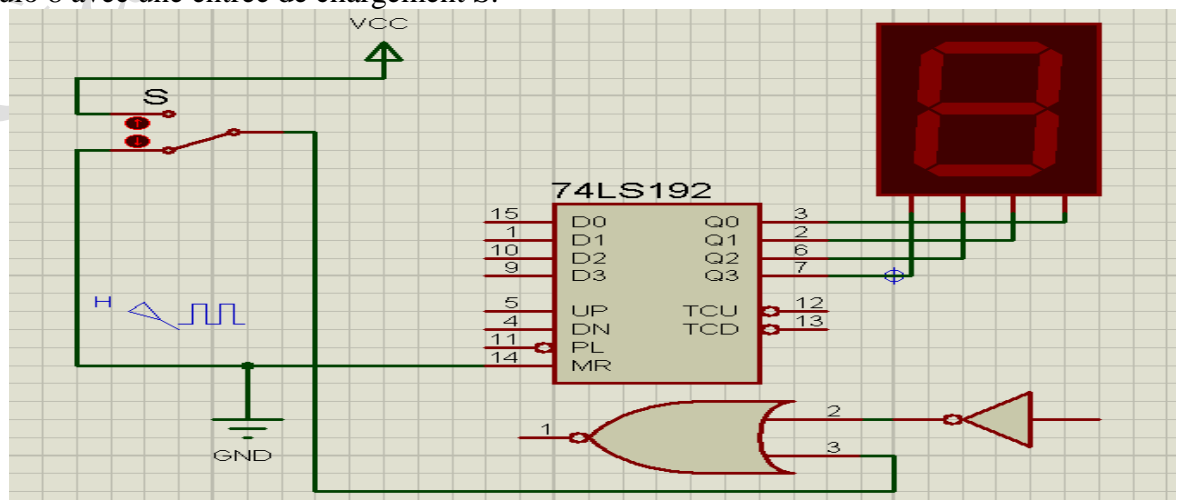
.....
.....

- b- Compléter le tableau ci-contre.

CL K	SR	Q A	Q _B	Q _C	Q A
0	X	0	1	1	0
1↑	1				
2↑	0				
3↑	0				
4↑	0				

Exercice 2 : (6 pnts)

En se référant à l'annexe 2, compléter le schéma ci-dessous pour avoir un décompteur modulo 8 avec une entrée de chargement S.





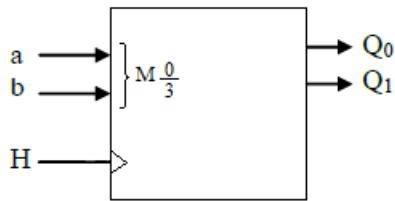
EXAMEN JUIN 2015

INSTITUT SUPÉRIEUR DES
ETUDES
TECHNOLOGIQUES DE
NABEUL
DÉPARTEMENT : GE



Exercice 3 : (9 pts)

Faire la synthèse d'un compteur synchrone réversible modulo 4 à deux entrées a et b de sélection du mode de fonctionnement. Compléter les tableaux ci-dessous et proposer un schéma de réalisation en utilisant des bascules DHT.



Modes de fonctionnement :

- (ab)=(00) : RAZ (remise à zéro)
- (ab)=(01) : Décompteur
- (ab)=(10) : Compteur
- (ab)=(11) : Blocage (c à d $Q_{n+1}=Q_n$!!!)

On rappelle la table des transitions pour la bascule "D" :

Tr	D
μ_0	0
μ_1	1
ε	1
δ	0

a- Table de séquences d'états :

a	b	Etat précédent		Etat suivant	
		Q1	Q0	Q1	Q0
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		

a	b	Etat précédent		Etat suivant	
		Q1	Q0	Q1	Q0
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
1	1	0	0		
1	1	0	1		
1	1	1	0		
1	1	1	1		

b- Equations des D_i :

a b	00	01	11	10
$Q_1 Q_0$				
00				
01				
11				
10				

a b	00	01	11	10
$Q_1 Q_0$				
00				
01				
11				
10				

$D_1 = \dots\dots\dots$

$D_0 = \dots\dots\dots$

c- Schéma logique :



EXAMEN JUIN 2015

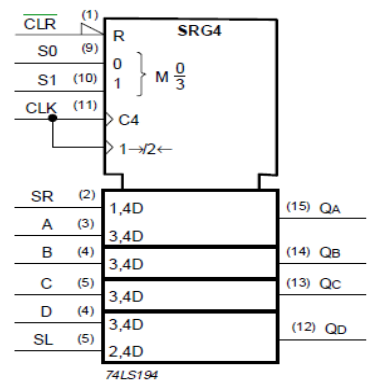
INSTITUT SUPÉRIEUR DES
ETUDES
TECHNOLOGIQUES DE
NABEUL
DÉPARTEMENT : GE



Annexe 1

Le symbole normalisé IEC du registre de type 194 est donné à la **Figure 15**.

- CLK, l'entrée d'horloge, synchronise le registre sur fronts montants.
- CLR, entrée asynchrone de remise à zéro des sorties.
- A, B, C et D, entrées de chargement parallèle.
- SR (*shift right*), entrée de chargement série côté droit, SL (*shift left*), entrée de chargement série côté gauche.
- S0 et S1, les entrées de contrôle synchrones. Les modes de fonctionnement sont donnés dans le **Tableau 1**.
- Q_A , Q_B , Q_C et Q_D , sorties du registre et représente son contenu. Utilisées simultanément, la lecture est parallèle. Si seule la dernière est utilisée, la lecture est série.



S1	S0	Mode de fonctionnement
0	0	Inhibition (registre figé malgré l'horloge)
0	1	Chargement série par l'entrée SR, déplacement de l'information à droite (Q_A vers Q_D)
1	0	Chargement série par l'entrée SL, déplacement de l'information à gauche (Q_D vers Q_A)
1	1	Chargement parallèle par les entrées A, B, C et D.

Tableau 1 : les modes de fonctionnement du '194.

Chronogrammes de fonctionnement

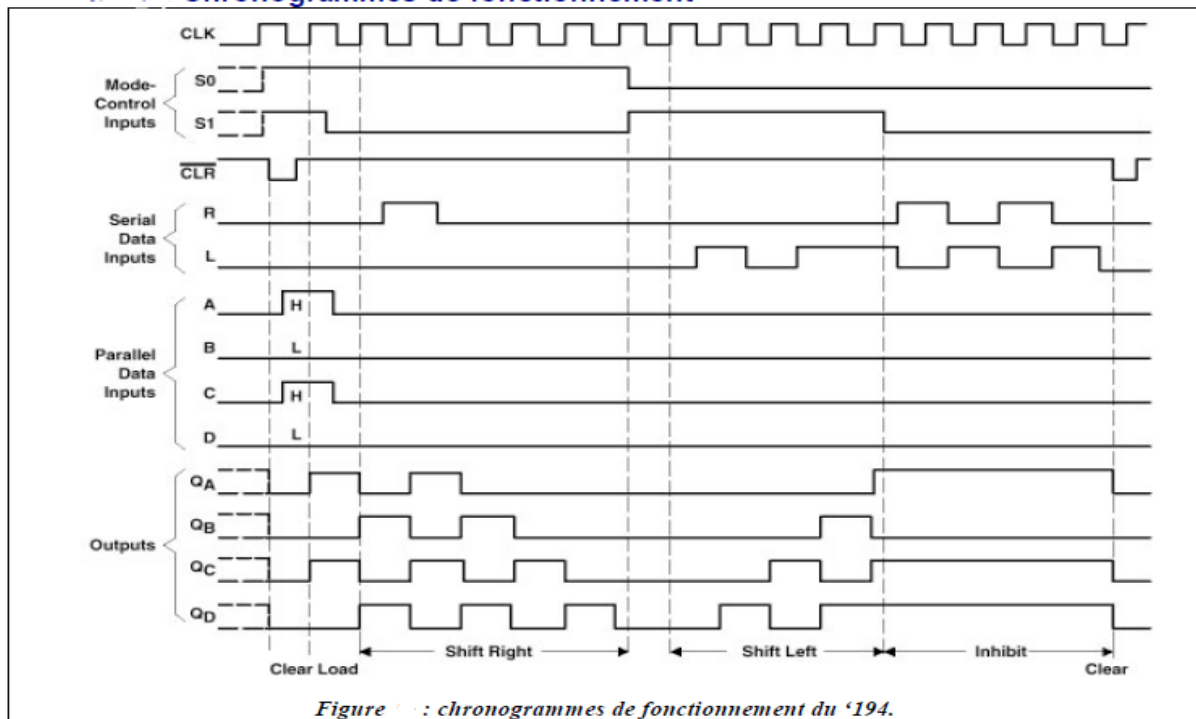


Figure 15 : chronogrammes de fonctionnement du '194.



EXAMEN JUIN 2015

INSTITUT SUPÉRIEUR DES
ETUDES
TECHNOLOGIQUES DE
NABEUL
DÉPARTEMENT : GE

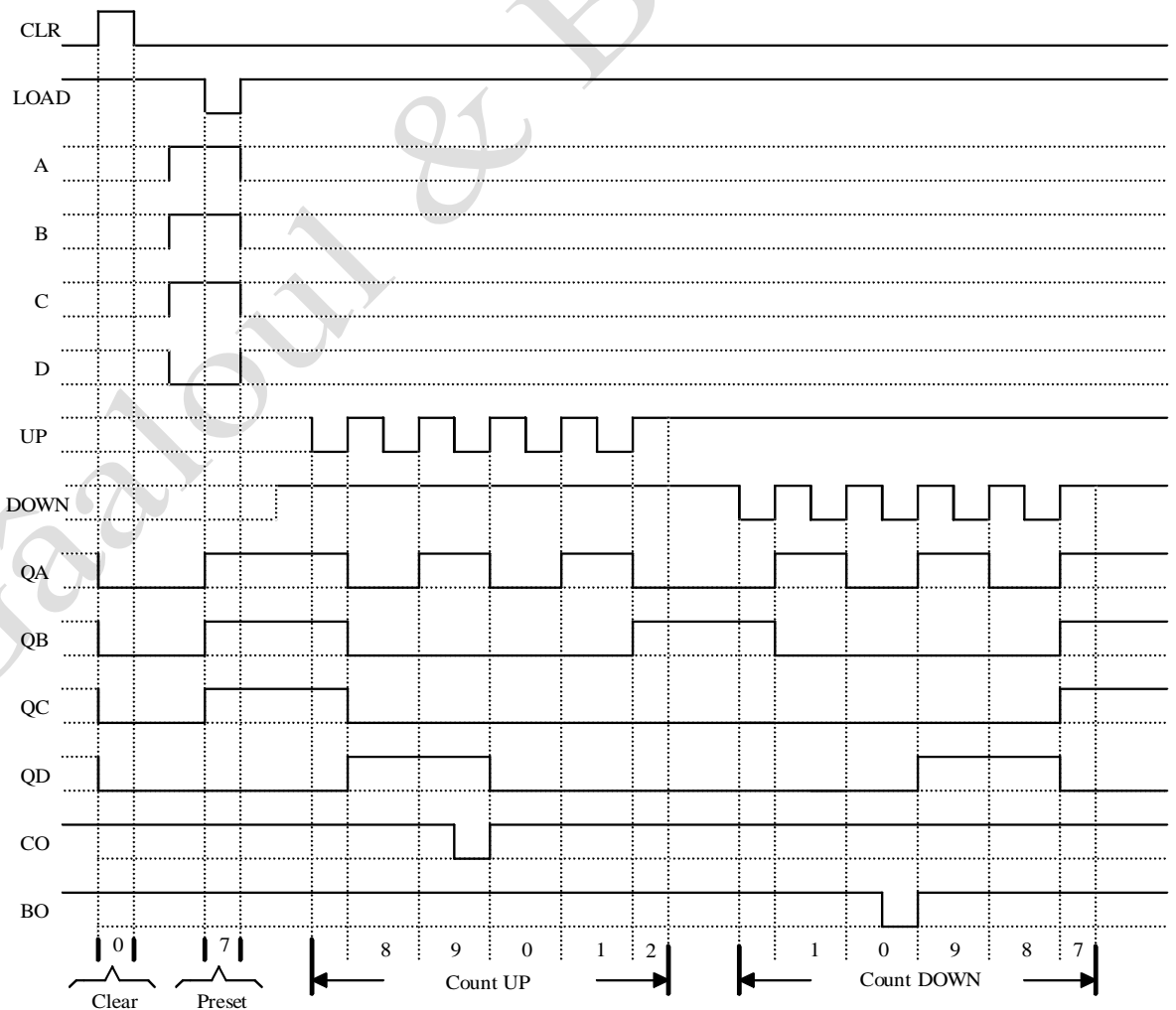
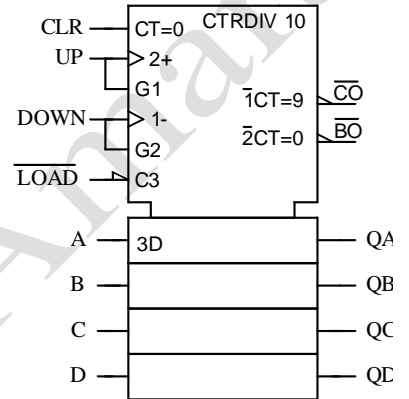


Annexe 2

Symbole et fonctionnement du compteur BCD (ou compteur par 10) 74LS192.

Explication de la norme IEEE/ANSI utilisée pour ce composant :

- "CTRDIV 10" compteur /décompteur par 10
- "CT" indique le compteur (les sorties Q)
- "G1" entrée qui agit sur l'entrée "1-"
- "G2" entrée qui agit sur l'entrée "2+"
- "1-" entrée de décomptage
- "2+" entrée de comptage
- "C3" entrée qui agit sur les entrées "3D"
- "1CT=9" sortie active si pas "G1" et si "CT=9"
- "2CT=0" sortie active si pas "G2" et si "CT=0"
- "3D" entrées de chargement parallèle
- "Q" sortie compteur/décompteur

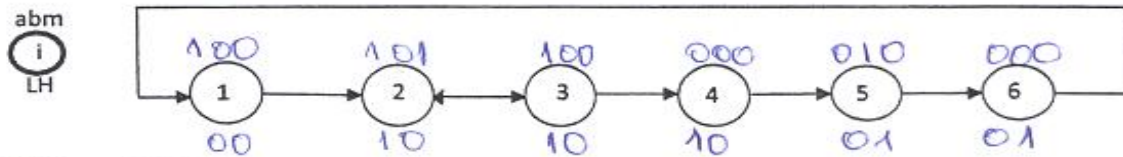




**DEVOIR SURVEILLE AVRIL 2015
(Corrigé)**

INSTITUT SUPÉRIEUR DES
ÉTUDES TECHNOLOGIQUES
DE NABEUL
DÉPARTEMENT : GE

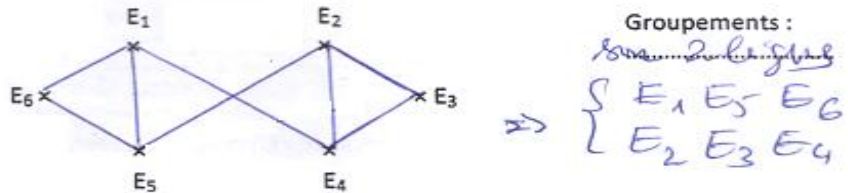
1) Diagramme des états (des transitions) :



2) Matrice primitive :

abm \ Etats	000	001	011	010	110	111	101	100	L	H
E ₁		-	-		-	-	2	①	0	0
E ₂		-	-		-	-	②	3	1	0
E ₃	4	-	-		-	-	2	③	1	0
E ₄	④	-	-	5	-	-			1	0
E ₅	6	-	-	⑤	-	-			0	1
E ₆	⑥	-	-		-	-		1	0	1

3) Simplification et Polygone de liaison :



4) Matrice réduite :

abm \ Etats	000	001	011	010	110	111	101	100
E ₁ E ₅ E ₆	⑥	-	-	⑤	-	-	2	①
E ₂ E ₃ E ₄	④	-	-	5	-	-	②	③

5) Matrice réduite codée :

abm \ x	000	001	011	010	110	111	101	100
0	⑥	-	-	⑤	-	-	2	①
1	④	-	-	5	-	-	②	③



**DEVOIR SURVEILLE AVRIL 2015
(Corrigé)**

INSTITUT SUPÉRIEUR DES
ÉTUDES TECHNOLOGIQUES
DE NABEUL
DÉPARTEMENT : GE

6°) Matrice d'excitation secondaire

abm x	000	001	011	010	110	111	101	100
0	0	-	-	0	-	-	1	0
1	1	-	-	0	-	-	1	1

Equation :

$$X = m + b\bar{x} \quad | \quad X = m + b\bar{x} = \overline{\overline{m} \cdot \overline{b\bar{x}}} \\ = (m | m) | (b | x)$$

7) Matrice des sorties L et H :

abm x	000	001	011	010	110	111	101	100
0	0	-	-	0	-	-	0	0
1	1	-	-	0	-	-	1	1

abm x	000	001	011	010	110	111	101	100
0	1	-	-	1	-	-	0	0
1	0	-	-	0	-	-	0	0

Equations :

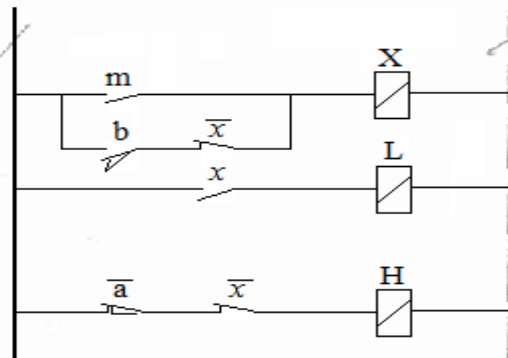
$$L = x$$

$$H = \bar{a}\bar{x}$$

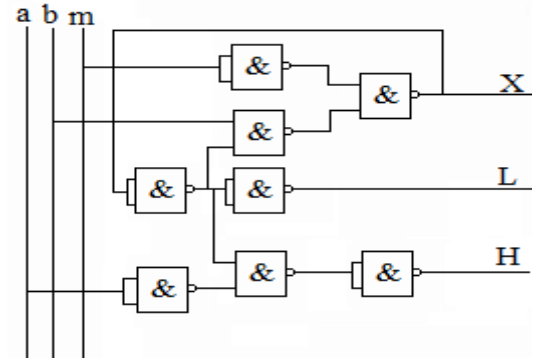
$$L = x = (x|x)|(x|x)$$

$$H = \bar{a}\bar{x} = \overline{[(a|a)|(x|x)]} | 1$$

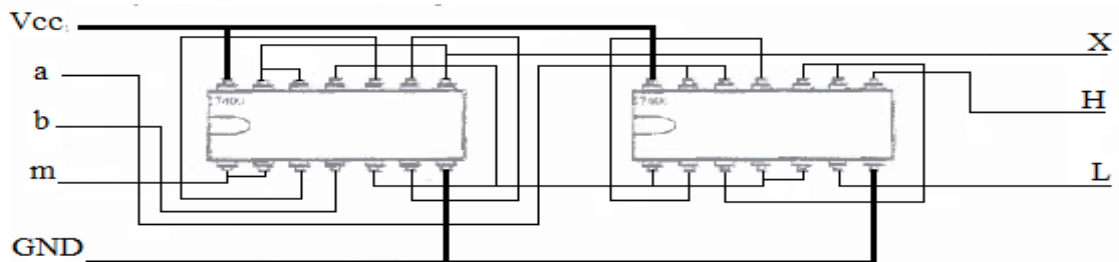
8) Schéma électrique :



9) Logigramme :



10) Compléter le schéma de câblage:



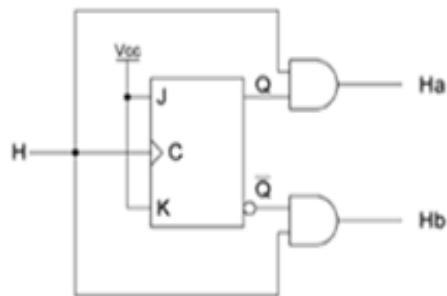


EXAMEN JUIN 2014 (Corrigé)

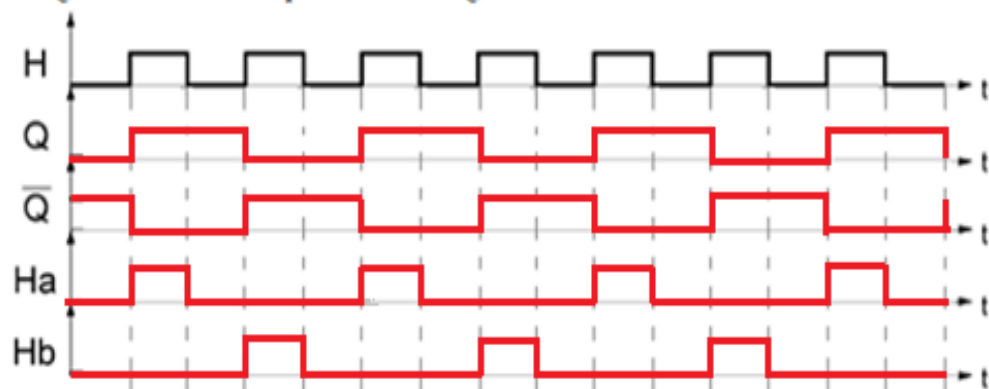
INSTITUT SUPÉRIEUR DES
ÉTUDES TECHNOLOGIQUES
DE NABEUL

DÉPARTEMENT : GE

Exercice 1 : (2 points)

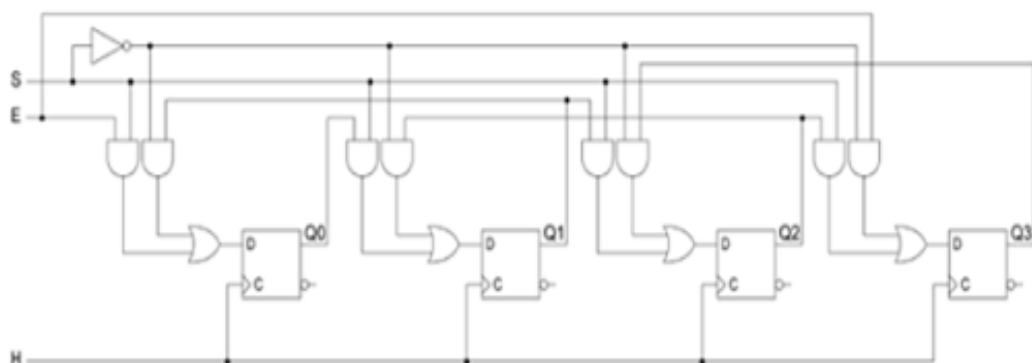


A partir de la figure ci-dessus compléter le chronogramme suivant :



Exercice 2 : (6 points)

Soit le montage ci-dessous





EXAMEN JUIN 2014 (Corrigé)

INSTITUT SUPÉRIEUR DES
ÉTUDES TECHNOLOGIQUES
DE NABEUL

DÉPARTEMENT : GE



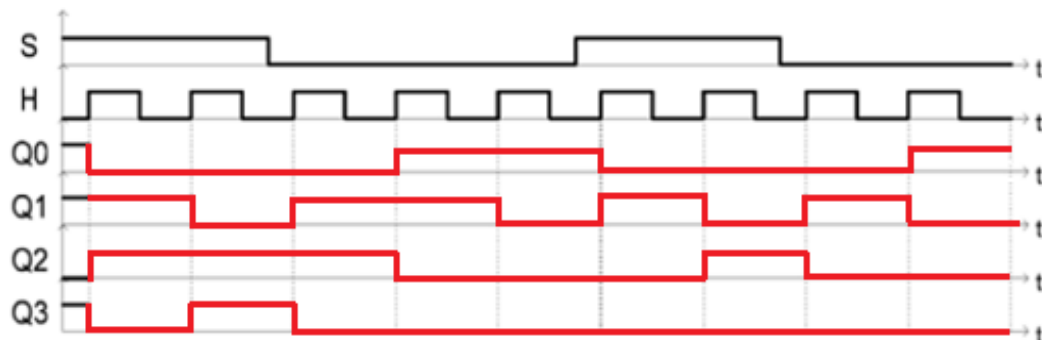
1. En supposant que l'entrée S soit toujours à 1, que réalise ce montage ?

..... Ce montage est un registre SISO, chargement série par "E" et décalage à droite d'information de Q0 à Q3

2. En supposant que l'entrée S soit toujours à 0, que réalise ce montage ?

..... Ce montage est registre SISO, chargement série par "E" et décalage à gauche de l'information de Q3 à Q0

3. En supposant que l'entrée E soit toujours à 0, remplissez le chronogramme ce dessous :

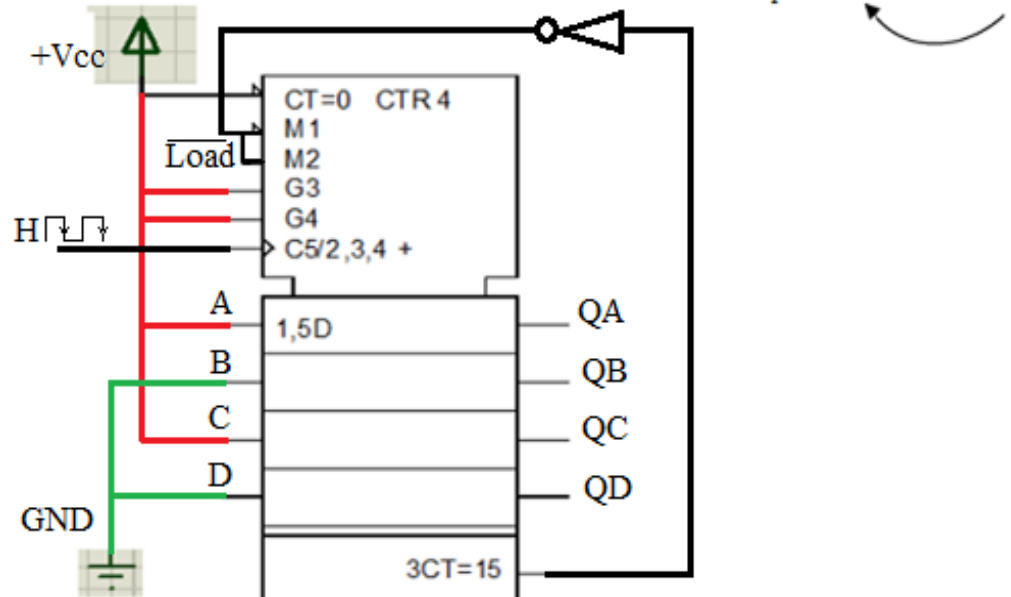


Exercice 3 : (6 points)

1. Compléter le tableau ci-dessous qui correspond au compteur intégrés 74161 (voir annexe)

Nom	Entrée ou sortie	Actif à quel niveau (haut/bas) ou front	Action réalisée
CT=0	<i>..... Entrée.....</i>	<i>..... Bas.....</i>	<i>..... Réinitialisation asynchrone.....</i>
M 1/M2	<i>..... Entrée.....</i>	<i>..... Bas/Haut.....</i>	<i>..... Préchargement synchrone.....</i>
G3	<i>..... Entrée.....</i>	<i>..... Haut.....</i>	<i>..... Q3=Q4=1, compteur. ap. travail.....</i>
C5	<i>..... Entrée.....</i>	<i>..... Front montant.....</i>	<i>..... Entrée horloge.....</i>

2. Compléter le montage ci-dessous pour avoir un compteur modulo 11 avec la séquence 5 → 6 → ... → 15





EXAMEN JUIN 2014 (Corrigé)

INSTITUT SUPÉRIEUR DES
ETUDES TECHNOLOGIQUES
DE NABEUL

DÉPARTEMENT : GE

Exercice 4 : (6 points)

Faire la synthèse d'un compteur synchrone qui compte selon la valeur de sélecteur S tel que

S = 0	0 - 2 - 4 - 6
S = 1	1 - 3 - 5 - 7

Proposer un schéma de réalisation en utilisant des bascules DH↓

Réponse :

S	Etat présent			Etat futur		
	Q2	Q1	Q0	Q2	Q1	Q0
0	0	0	0	0	1	0
0	0	1	0	1	0	0
0	1	0	0	1	1	0
0	1	1	0	0	0	0
1	0	0	1	0	1	1
1	0	1	1	1	0	1
1	1	0	1	1	1	1
1	1	1	1	0	0	1

Trans.	D
μ0	0
μ1	1
ε	1
δ	0

Q1 Q0		S Q2			
		00	01	11	10
00	00	0	-	-	1
01	01	1	-	-	0
11	11	-	1	0	-
10	10	-	0	1	-

$D_2 = Q_2 \oplus Q_1$

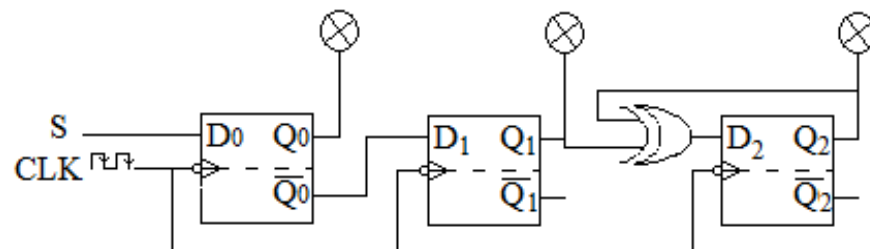
Q1 Q0		S Q2			
		00	01	11	10
00	00	1	-	-	0
01	01	1	-	-	0
11	11	-	1	0	-
10	10	-	1	0	-

$D_1 = \bar{Q}_1$

Q1 Q0		S Q2			
		00	01	11	10
00	00	0	-	-	0
01	01	0	-	-	0
11	11	-	1	1	-
10	10	-	1	1	-

$D_0 = Q_0$ ou bien $D_0 = S$

Montage :





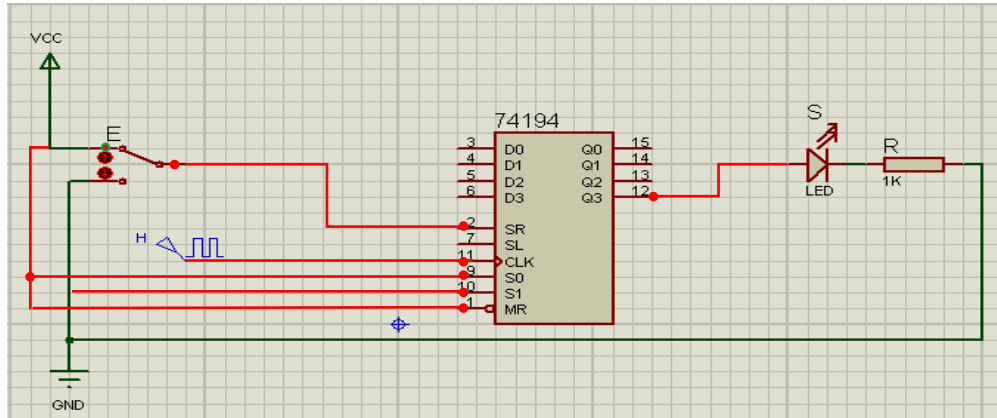
EXAMEN JUIN 2015 (Corrigé)

**INSTITUT SUPÉRIEUR DES
ETUDES
TECHNOLOGIQUES DE
NABEUL**

DÉPARTEMENT : GE

Exercice 1 : (1°) 3pts 2°) a) 1,5 pt b) 1,5pt)

1) Compléter le schéma suivant pour réaliser un registre "SISO " à décalage à droite avec le CI :74LS194 (Annexe1), en prenant (E) comme entrée et (S) comme sortie.



2) $MR = \overline{1}$,

supposons qu'on a chargé le registre par (ABCD)=(0110) avec $(S_1S_0)=(11)$.

Puis on revient au mode $(S_1S_0)=(01)$,

a- Que signifie ce mode ?

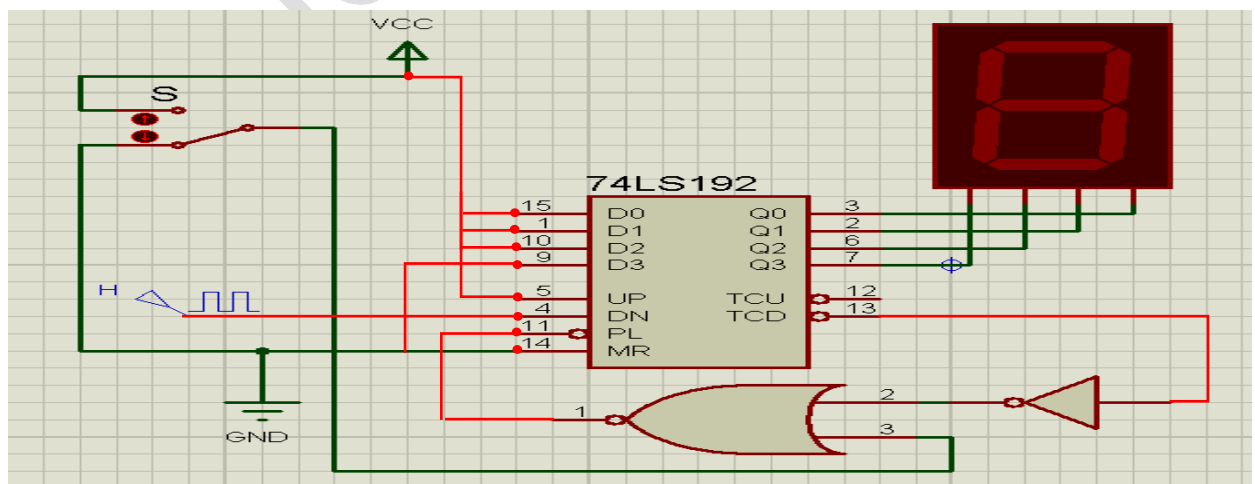
Ce Mode de fonctionnement ($S_1S_0=01$) c'est le mode chargement série par l'entrée SR et décalage d l'information à droite (QA vers QD)

CLK	SR	Q _A	Q _B	Q _C	Q _D
0	X	0	1	1	0
1↑	1	1	0	1	1
2↑	0	0	1	0	1
3↑	0	0	0	1	0
4↑	0	0	0	0	1

b- Compléter le tableau ci-contre.

Exercice 2 : (5 points)

En se référant à l'annexe 2, compléter le schéma ci-dessous pour avoir un décompteur modulo 8 avec une entrée de chargement S.



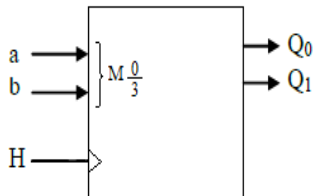


EXAMEN JUIN 2015 (Corrigé)

**INSTITUT SUPÉRIEUR DES
ETUDES
TECHNOLOGIQUES DE
NABEUL**
DÉPARTEMENT : GE

Exercice 3 : (9 pts)

Faire la synthèse d'un compteur synchrone réversible modulo 4 à deux entrées a et b de sélection du mode de fonctionnement. Compléter les tableaux ci-dessous et proposer un schéma de réalisation en utilisant des bascules DHT.



Modes de fonctionnement :

- (ab)=(00) : RAZ (remise à zéro)
- (ab)=(01) : Décompteur
- (ab)=(10) : Compteur
- (ab)=(11) : Blocage (c à d $Q_{n+1}=Q_n$!!!)

On rappelle la table des transitions pour la bascule "D" :

Tr	D
μ_0	0
μ_1	1
ϵ	1
δ	0

a- Table de séquences d'états :

a	b	Etat précédent		Etat suivant	
		Q1	Q0	Q1	Q0
1	0	0	0	0	1
1	0	0	1	1	0
1	0	1	0	1	1
1	0	1	1	0	0
0	1	0	0	1	1
0	1	0	1	0	0
0	1	1	0	0	1
0	1	1	1	1	0

a	b	Etat précédent		Etat suivant	
		Q1	Q0	Q1	Q0
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	0	0
0	0	1	1	0	0
1	1	0	0	0	0
1	1	0	1	0	1
1	1	1	0	1	0
1	1	1	1	1	1

b- Equations des D_i :

a b	00	01	11	10
Q1 Q0	μ_0	ϵ	μ_0	μ_0
01	μ_0	μ_0	μ_0	ϵ
11	δ	μ_1	μ_1	δ
10	δ	δ	μ_1	μ_1

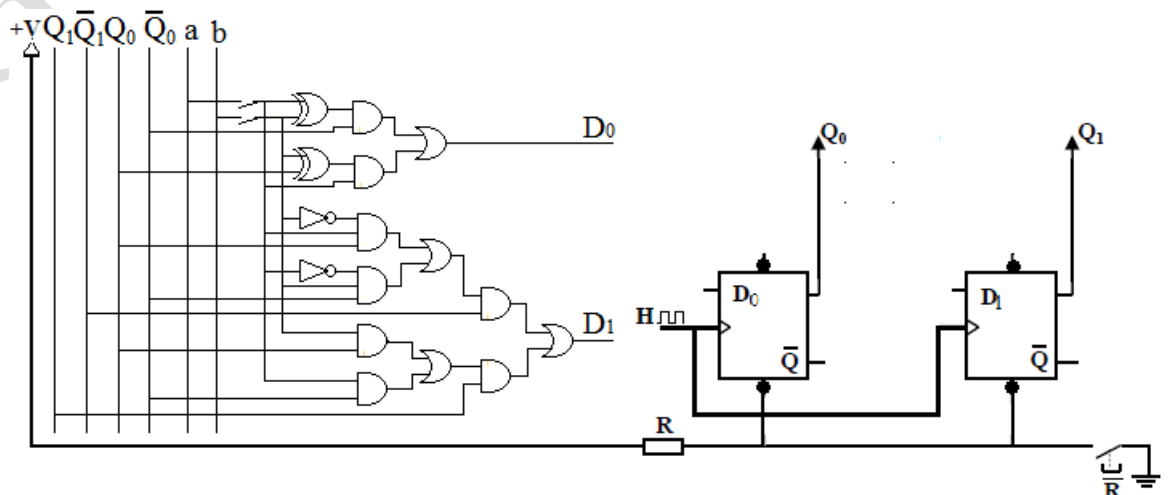
a b	00	01	11	10
Q1 Q0	μ_0	ϵ	μ_0	ϵ
01	δ	δ	μ_1	δ
11	δ	δ	μ_1	δ
10	μ_0	ϵ	μ_0	ϵ

$$D_1 = Q_1 Q_0 b + \bar{Q}_1 Q_0 a + \bar{Q}_1 Q_0 a \bar{b} + \bar{Q}_1 \bar{Q}_0 \bar{a} b$$

$$D_1 = Q_1(Q_0 b + \bar{Q}_0 a) + \bar{Q}_1(Q_0 \bar{a} b + \bar{Q}_0 \bar{a} b)$$

$$D_0 = a(\bar{Q}_0 \oplus b) + \bar{Q}_0(a \oplus b)$$

c- Schéma logique :



Bibliographie & Webographie

Bibliographie :

- ❶ **Titre** : Circuits Numériques Théorie et Applications.
Auteur : Ronald J.Tocci.
Editeur : Reynald Goulet inc.
Année : 1996.
ISBN : 2-89377-108-4.

- ❷ **Titre** : Cours et Problèmes D'Électronique Numérique.
Auteur : Jean-Claude Laffont Jean-Paul Vabre.
Editeur : Edition Marketing.
Année : 1986.
ISBN : 2-7298-8650-8.

- ❸ **Titre** : Logique Combinatoire et Technologie.
Auteurs : Marcel Gindre Denis Roux.
Editeur : BELIN.
Année : 1984.
ISBN : 2-7011-0857-8.

Sites Web :

<http://didier.villers.free.fr/STI-2D/tronc-commun-activites.htm>

<http://pageperso.lif.univ-mrs.fr/~severine.fratani/enseignement/lib/exe/fetch.php?media=archi:td4-seq.pdf>

<http://users.polytech.unice.fr/~fmuller/doc/ens/Peip2-SujetTP.pdf>

<http://ensa-mecatronique.e-monsite.com/medias/files/compteurs-cor.pdf>

<http://sebastien.bernard.free.fr/cours-tp-td-exo/TD-E-Logique-sequentielle-Fonction-Comptage.pdf>

http://ressource.electron.free.fr/cours/Exercice_de_logique_sequentielle.pdf