

Chapitre 2 : Le Microprocesseur Intel 8086

II.1 Description physique du 8086

Le microprocesseur Intel 8086 est un microprocesseur 16 bits, apparu en 1978. C'est le premier microprocesseur de la famille Intel 80x86 (8086, 80186, 80286, 80386, 80486, Pentium, ...). Il se présente sous la forme d'un boîtier DIP (Dual In-line Package) à 40 broches :

II.2 Schéma fonctionnel du 8086

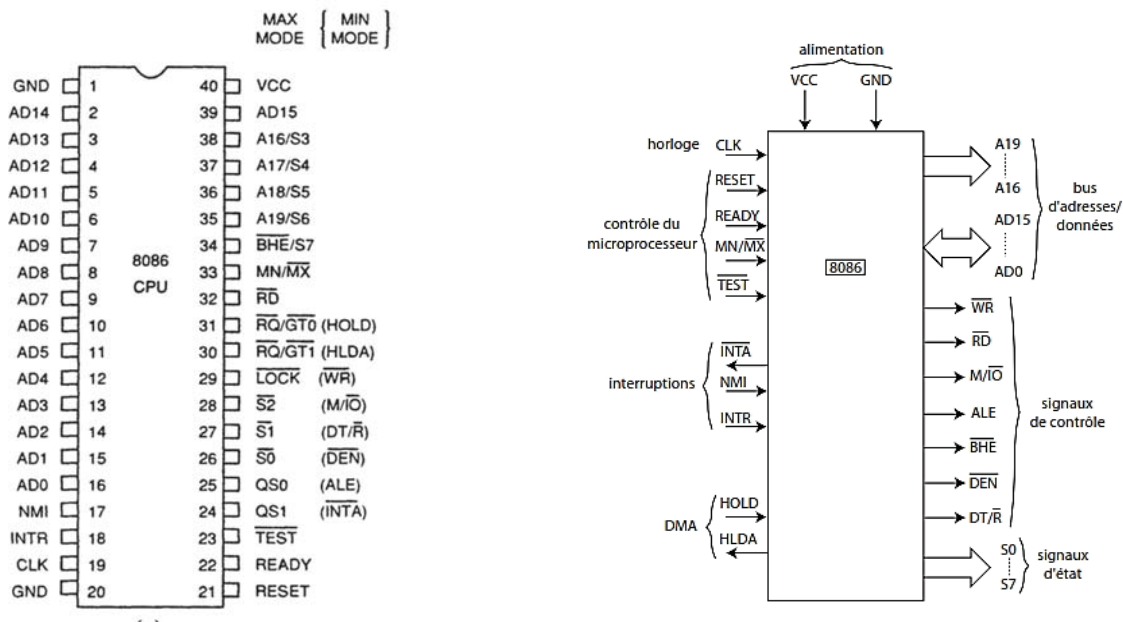


Figure II.1: Brochage et Schéma fonctionnel du 8086

Brochage et Fonctions des Pins du 8086 :

CLK : entrée du signal d'horloge qui cadence le fonctionnement du microprocesseur. Ce signal provient d'un générateur d'horloge : le 8284.

AD0 à AD15 : Ces lignes représentent 16 bits de bus d'adresse multiplexés avec 16 bits de lignes de données.

Pendant T1, elles représentent des lignes d'adresse A15-A0.

Pendant T2, T3, T4, elles représentent des lignes de données D0-D15.

A16/S3 à A19/S6 : Ces lignes adresse sont multiplexées avec les lignes d'état.

Pendant T1, elles représentent des lignes d'adresse A19-A16.

Pendant T2, T3, T4, elles représentent des signaux d'état S6-S3.

S0 à S7 : signaux d'état indiquant le type d'opération en cours sur le bus.

ALE (Address Latch Enable) : Ce signal est une impulsion active pendant T1, elle indique que l'information qui circule dans bus A/D est une adresse.

Elle est fournie par le Cpu pour verrouiller les lignes d'adresse au cours des cycles T2, T3, T4.

\overline{RD} : Read, signal de lecture d'une donnée.

\overline{WR} : Write, signal d'écriture d'une donnée.

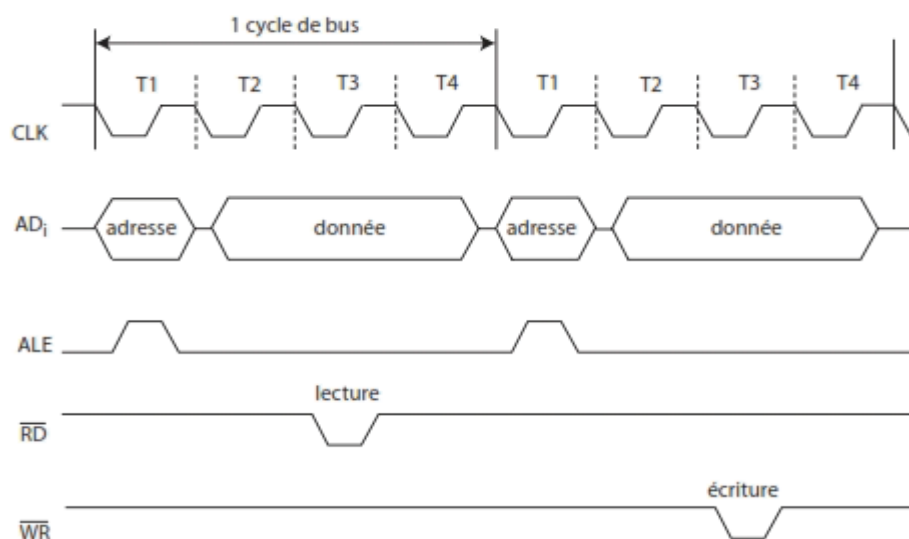
$\overline{M/\overline{IO}}$: Memory/Input-Output, indique si le CPU adresse la mémoire ($M/\overline{IO} = 1$) ou les entrées/sorties ($M/\overline{IO} = 0$).

\overline{DEN} : Data Enable, indique que des données sont en train de circuler sur le bus A/D (équivalente de ALE pour les données).

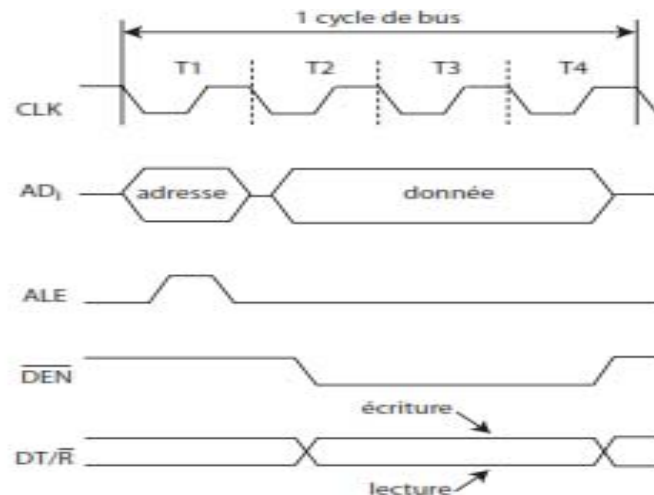
DT/\overline{R} : Data Transmit/Receive, indique le sens de transfert des données :

- $DT/\overline{R} = 1$: données émises par le microprocesseur (écriture) ;
- $DT/\overline{R} = 0$: données reçues par le microprocesseur (lecture).

Chronogramme de séparation de bus A/D



Chronogramme de sens de transfert de données sur le bus de données



READY : Entrée de synchronisation avec la mémoire.

TEST : Entrée de mise en attente du microprocesseur d'un évènement extérieur.

RESET : Entrée de remise à zéro du microprocesseur.

MN/MX : indique dans quel mode le processeur doit fonctionner

HIGH → minimum mode.

LOW → maximum mode.

NMI et INTR : Entrées de demande d'interruption.

INTR : interruption normale,

NMI (Non Maskable Interrupt) : interruption prioritaire.

INTA : Interrupt Acknowledge, indique que le microprocesseur accepte l'interruption.

HOLD et HLDA : Signaux de demande d'accord d'accès direct à la mémoire (DMA).

BHE : Bus High Enable, signal de lecture de l'octet de poids fort du bus de données.

Il est utilisé avec A0 pour sélectionner le mot entier, octet fort, octet faible ou aucun.

| BHE | A0 | Data Selected |
|-----|----|--|
| 0 | 0 | les deux octets (mot complet) (D15-D0) |
| 0 | 1 | octet fort (adresse impaire) (D15-D8) |
| 1 | 0 | octet faible (adresse paire) (D7-D0) |
| 1 | 1 | aucun octet |

II.2.1 Connexions de base

GND: se connecter à 0V.

VCC: se connecter à 5V.

MN / MX : se connecter à 5V (mode minimum).

NMI et INTR: se connecter à 0V (pas de support pour les interruptions).

CLK: se connecter à la sortie CLK du générateur d'horloge.

HOLD: se connecter à 0V (pas d'accès direct à la mémoire).

TEST : se connecter à 0V (pas d'attente pour les co-processeur).

READY: se connecter à 5V (pas de cycles d'attente pour les périphériques lents).

RESET: se connecter à zéro de la sortie du générateur d'horloge.

Remarque :

Un système à microprocesseur très simple est composé des parties suivantes:

- (1) 8284A Clock Generator (15 MHz Crystal)
- (2) 8086 Microprocessor (Minimum Mode)
- (3) Bus System (Demultiplexed and Buffered)
- (4) Memory System (ROM & RAM Modules)
- (5) I/O System (Switches and LEDs)

II.3 Organisation interne du 8086

Le 8086 est constitué de deux unités internes distinctes:

- l'unité d'exécution (EU : Execution Unit) ;
- l'unité d'interface de bus (BIU : Bus Interface Unit).

Le rôle de la BIU est de récupérer et stocker les informations à traiter, et d'établir les transmissions avec les bus du système. L'EU exécute les instructions qui lui sont transmises par la BIU.

Pendant que l'EU du 8086/8088 exécute les informations qui lui sont transmises, l'instruction suivante est chargée dans la BIU. Les instructions qui suivront sont placées dans une file d'attente. Lorsque l'EU a fini de traiter une instruction la BIU lui transmet instantanément l'instruction suivante, et charge la troisième instruction en vue de la transmettre à l'EU. De cette façon, l'EU est continuellement en activité.

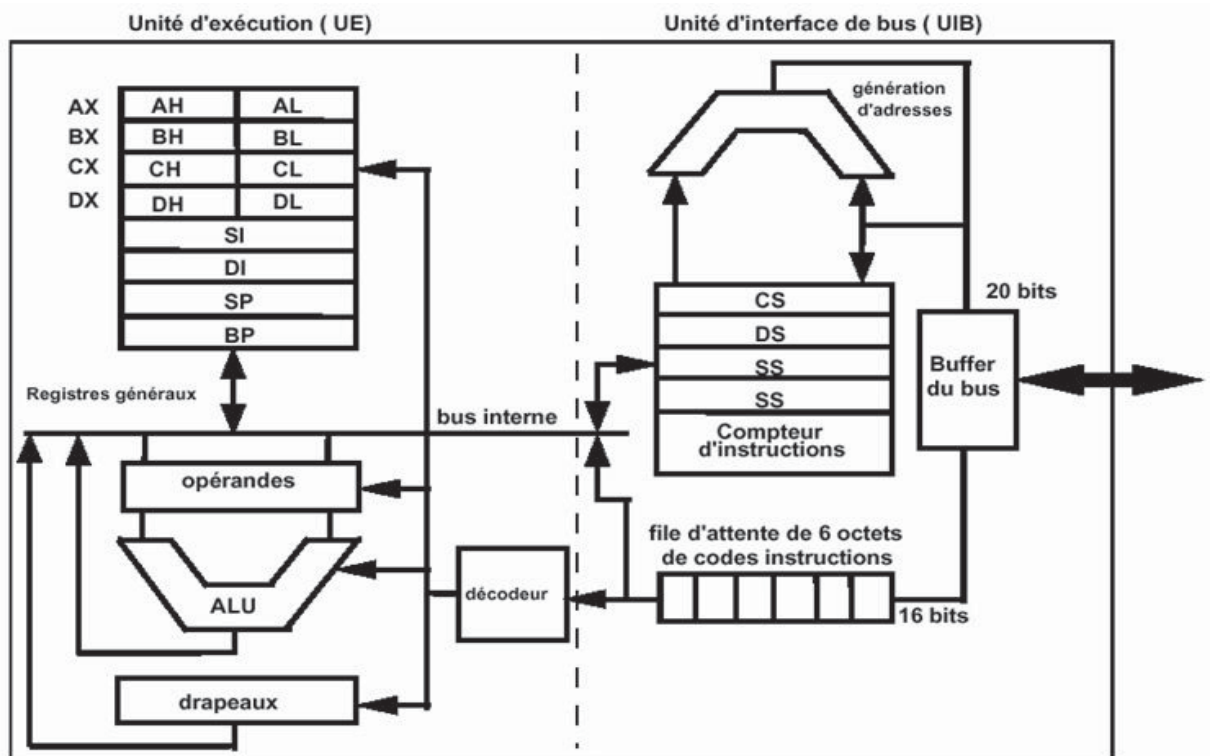


Figure II.2 : architecture du microprocesseur 8086

Le microprocesseur 8086 contient 14 registres répartis en 4 groupes :

1) Registres de travaux : 4 registres sur 16 bits AX, BX, CX et DX.

Chacun de ces registres est de 16-bits de large, mais Ils peuvent être également considérés comme 8 registres sur 8 bits.

Registre AX : (Accumulateur) : registre de travail principal.

Registre BX : (registre de base) : Il est utilisé pour l'adressage.

Registre CX : (Le compteur) : le registre CX a été fait pour servir comme compteur lors des instructions de boucle.

Registre DX : On utilise le registre DX pour les opérations de multiplication et de division et pour contenir le numéro d'un port d'entrée/sortie pour adresser les interfaces d'E/S.

2) Registres de segments : 4 registres sur 16 bits.

Ils sont employés par la CPU pour déterminer les adresses de segment de mémoire.

Le registre CS (code segment) : Il pointe sur le segment qui contient les codes des instructions du programme exécutable.

Le registre DS (Data segment) : Le registre segment de données pointe sur la zone mémoire de données.

Le registre ES (Extra segment) : segment auxiliaire pour données.

Le segment SS (Stack segment) : Le registre SS pointe sur la pile.

Remarque : la pile est une zone mémoire où on peut sauvegarder le contenu des registres, les adresses ou les données pour les récupérer après l'exécution d'un sous-programme ou l'exécution d'un programme d'interruption.

3) Registres de pointeurs et d'index : 4 registres sur 16 bits.

Ce sont des registres de 16 bits ils sont utilisés comme pointeurs de mémoire.

L'index SI : (source index) : Il est associé au registre DS, il sert aussi pour les instructions de chaîne de caractères, en effet il pointe sur le caractère source.

L'index DI : (Destination index) : Il est associé aux registres (DS ou ES), il sert aussi pour les instructions de chaîne de caractères, il pointe alors sur la destination.

Les pointeurs SP et BP : (Stack pointer et base pointer) :

Ils sont associés au registre SS, Ils pointent sur la zone pile. Pour le registre BP a un rôle proche de celui de BX, le registre SP Pointe sur la tête de la pile.

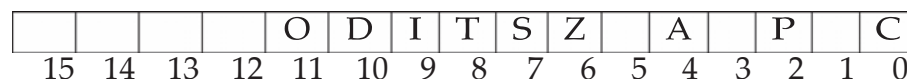
Le pointeur IP : Associé au registre CS, il a seulement une fonction qui est d'indiquer la prochaine instruction à exécuter par le CPU.

4) le registre FLAG : La plupart des instructions arithmétiques et logiques affectent le registre d'état du processeur (ou registre de FLAG).

C'est un registre de 16 bits. Six des drapeaux sont des indicateurs d'état reflétant les propriétés du résultat de la dernière instruction arithmétique ou logique.

Trois des indicateurs peuvent être activés ou remis à zéro par le programmeur: (TF, IF, DF).

Flags :



CF : indicateur de retenue (carry) ;

PF : indicateur de parité;

AF : indicateur de retenue auxiliaire ;

ZF : indicateur de zéro ;

SF : indicateur de signe ;

TF : indicateur d'exécution pas à pas (trap) ;

IF : indicateur d'autorisation d'interruption ;

DF : indicateur de décrémentation ;

OF : indicateur de dépassement (overflow).

II.4 La segmentation de la mémoire

Le processeur 8086 a un bus d'adresses du bit 20, Ceci permet au processeur d'adresser 2^{20} ou 1,048,576 emplacements mémoire différents (1 Mo).

Puisque les registres du 8086 ne font que 16 bits et avec 16 bits on peut adresser que 64 ko alors INTEL a proposé de fractionner la mémoire totale adressable de 1 Mo en bloc de 64 ko appelés segments. On utilise alors deux registres pour adresser une case mémoire (registre de segment combiné au registre d'offset), on appelle donc une **adresse logique** :

le couple : **segment : offset.**

On appelle **adresse physique** : L'adresse d'une case mémoire donnée sous la forme d'une quantité sur 20 bits.

Adresse physique = segment x 16+ offset

Exemple : CS : IP = 3F51 : 0021 donc Adresse physique = 3F510 + 0021 = 3F530h.